

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-043698

(43)Date of publication of application : 16.02.2001

(51)Int.Cl. G11C 29/00
 G01R 31/28
 G06F 11/22
 G06F 12/08
 G06F 12/10
 G06F 12/16
 H01L 27/04
 H01L 21/822

(21)Application number : 11-219624

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.08.1999

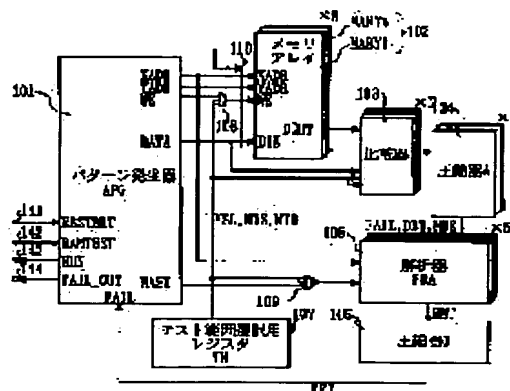
(72)Inventor : NAKAHARA SHIGERU
 NISHIYAMA MASAHIKO
 KONO MASAKI
 HIGETA KEIICHI

(54) SELF-INSPECTION CIRCUIT AND SELF-INSPECTION METHOD FOR BUILT-IN MEMORY ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To embody high relief efficiency with lesser hardware with a self-test circuit of a memory array of a two-dimensional relief system having a replacement memory row and a replacement memory column for relief.

SOLUTION: This circuit is provided with an address forming means 101 to generate test addresses, a test data forming means 101 for writing to the memory array (102, MARY), an expected value forming means 101 for the data read out of the memory array, a comparing means 103 for the data read out of the memory array and the expected value, a fault address memory means for the detected fault row address and fault column address, a first state memory means indicating whether the updating of the fault address memory means is okay or not, a second state memory means indicating the presence or absence of the writing to the fault address memory means and a control means 105 for determining the next control state from the data comparison result in the comparing means and the contents of the first and second state memory means.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more permutation memory lines or permuted blocks for relieving the failure memory line containing a failure bit, In the semiconductor integrated circuit which has the memory array equipped with two or more permutation memory trains or permuted blocks for relieving the failure memory train containing a failure bit An address-generation means to generate the test address, and a test-data generation means to generate the test data written in a memory array, An expected-value generation means to generate the expected value over the data read from a memory array, A comparison means to compare with expected value the data read from the memory array, The failure address storage means for memorizing the failure line address and the failure train address which were detected, The 1st condition storage means showing whether renewal of the above-mentioned failure address storage means is possible, The self-check circuit of the built-in memory array characterized by having the control means which determines the following control state from the contents of the 2nd condition storage means showing the existence of the writing to a failure address storage means, and the data comparison result in the above-mentioned comparison means, the above 1st and the 2nd condition storage means.

[Claim 2] it be the self-check circuit of the built-in memory array according to claim 1 which be equip with the 3rd condition storage means which show whether relief by the above-mentioned permutation memory line or the permuted block , the permutation memory train , or the permuted block be unable to be possible , and be characterize by to constitute the above-mentioned control means so that the following control state may be determine from the contents of the data comparison result [in the above-mentioned comparison means] , above 1st , 2nd , and 3rd condition storage means .

[Claim 3] The above-mentioned failure address storage means, the above 1st, and the 3rd condition storage means at least are the self-check circuit of the built-in memory array according to claim 2 characterized by constituting the contents from the exterior possible [read-out].

[Claim 4] The self-check circuit of the built-in memory array according to claim 1, 2, or 3 characterized by having a means to detect that failure exists in the same address of two or more memory block when it is constituted so that the above-mentioned memory array may consist of two or more memory block and 1 bit of data may be read at a time from each memory block to coincidence to the same input address.

[Claim 5] The self-check circuit of the built-in memory array according to claim 1, 2, 3, or 4 characterized by having the actuation means which is the self-check circuit built in the semiconductor integrated circuit equipped with two or more memory arrays from which a WORD bit pattern differs, and carries out the bit exchange of the high-order-bit group and lower bit group of the address generated in the above-mentioned address-generation circuit.

[Claim 6] In the self-check circuit of a built-in memory array according to claim 1 to 5, a test is performed in the direction along the train address. When the failure address is in agreement with one of contents among a failure line address register [finishing / storage / when failure is detected], and a failure train address register Consider the register as the ban on updating, and,

in the failure to the new address The failure line address and the failure train address are memorized to coincidence to an empty failure address register. When a failure line address register and a failure train address register are full, already The failure train address is saved to the address register which can be updated at a failure train address register. It is the self-check approach of the built-in memory array characterized by considering this register and a corresponding failure line address register as the ban on updating, and making relief impossible when all failure address registers are the bans on updating.

[Claim 7] The self-check approach of the built-in memory array according to claim 6 characterized by considering that the detected failure is a line Rhine chip, and saving the failure line address concerned at a failure line address register when the failure to the same address of two or more memory block is detected.

[Claim 8] An expected-value generation means generate the expected value over the data read from a memory array is the self-check approach of the built-in memory array according to claim 6 or 7 characterized by to re-reverse the above-mentioned expected value just before a comparison means compare with expected value the data read from the memory array, and to input into a comparison means while outputting the value which reversed the write-in data generated by test-data generation means generate a test data as expected value.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the hard wafer which realizes the self-generation algorithm of the creation approach of a self-test data, and remedy, or it especially about the self-check circuit included in a semiconductor integrated circuit, and the self-check circuit of the memory array further equipped with the permutation memory line for relief, the permutation memory train, or permutation memory block at the time of failure.

[0002]

[Description of the Prior Art] While the storage capacity of the memory array built in one semiconductor chip with large-scale-izing at the high integration list of a semiconductor integrated circuit increases, there is an inclination which the number of memory arrays also increases. In this semiconductor integrated circuit, it replaces with the permutation memory line for relief or the permutation memory train for relief which prepared the memory cell with a defect beforehand, and the technique of raising the yield of a chip is known well. This technique is also called redundancy relief and various technique exists with the storage capacity and the number of loading of a memory array, such as preparing two or more said permutation memory lines for relief, and permutation memory trains for relief, performing the permutation of a memory line or a memory train per a multi-line or two or more trains, or permuting a failure memory train per memory block, the cost of a system, and the process and processing technique to apply.

[0003]

[Problem(s) to be Solved by the Invention] A new problem has surfaced also about the test which specifies a memory cell with a defect for redundancy relief. The data written in the test address of a memory cell, or a memory cell by the test of a memory array, Although the means (for example, equipment called a circuit tester) for giving from the outside or taking out is required for the chip for which the read-out data for judging the control signal of specifying read-out/writing and a test result etc. were carried in the memory array The number of I/O pins which can be physically added to a chip has a limit, and sufficient test which a circuit designer and an examiner desire becomes difficult. Moreover, in a high performance chip, the impedance of transfer Rhine which connects the chip which is the measuring object-ed, and a circuit tester etc. serves as a failure, and there is also a problem that a test data cannot be supplied from the exterior by the high throughput doubled with the engine performance.

[0004] There is technique currently called the so-called nest self-test (BIST) and array nest self-test (ABIST) which are the place where the solution means against the problem of such test sufficiency and real time nature is also known well, for example, embed the circuit for realizing said test in a chip.

[0005] It consists of means control the means and these where a typical thing saves the address (the failure address) of a means generate the test address, a means generate the test data with which it writes in memory, a means generate the expected value over the data with which it reads from memory, a means compare the two aforementioned data, and the memory cell, from which it became an inequality as a result of the comparison although the implementation approach of an array nest self-test system is various.

[0006] When realizing a nest self-test, it is thought from the original purpose that the following three items are important. That is, they are relief effectiveness, a circuit scale, and a test duration. Gathering the class of detectable failure and the detection ratio of relievable failure, i.e., relief effectiveness, leads to the improvement in the yield of a chip with a natural thing.

Moreover, a problem must not arise for chip engine performance, such as increase of a chip area, and power consumption, according to the circuit scale of a nest self-test circuit.

[0007] However, in order to judge with the relievable failure originally detected by one memory scan being relievable since the circuit scale of a nest self-test circuit was suppressed to min for example, also when requiring two or more memory scans, it generates. if the rate of occupying to the whole failure of failure of this kind is fully small, relief of a case so that the whole relief effectiveness may be greatly influenced like the single line Rhine chip [in / in failure / memory] although it is that which is thing 7, and it is satisfactory even if judged with unrelievable failure and train Rhine chip which lower the relief effectiveness of the whole failure is indispensable. Therefore, the memory scan of multiple times is needed and there is a problem that the whole test duration will increase greatly.

[0008] As one of the examples of BIST implementation of the conventional technique, for example, JP,6-342040,A, JP,8-262116,A, a Japanese-Patent-Application-No. No. 240390 [four to] official report, etc. are mentioned. In JP,6-342040,A, the further fundamental invention for realizing BIST, the reference for explaining the background of a BIST technique, etc. are introduced. JP,8-262116,A has proposed the coincidence test technique for the chip which carried two or more memory of a different type. The failure address register of a single dimension is used in these patents. That is, deer reference is not carried out only about the array nest self-test circuit which permutes relief Rhine of a single dimension.

[0009] The Japanese-Patent-Application-No. No. 240390 [four to] official report has described the approach in the real-time test of two-dimensional redundancy Rhine to distribute. However, the approach shown in this official report needs to memorize the failure train Rhine address first, and the case where a pattern of failure relievable originally is unrelievable produces it.

[0010] Moreover, by actual memory, the interior is divided into two or more memory block corresponding to two or more I / O datas. For example, in memory with a data width of face of 18 bits, the memory array consists of 18 memory block. In invention indicated by the above-mentioned official report, reference is not carried out at all about the coincidence test approach of two or more memory block which can be set to a memory array.

[0011] This invention was made in order to solve the above-mentioned trouble in the self-check circuit included in a semiconductor integrated circuit, and it aims at offering technique having become common for realizing high relief effectiveness by little hardware in the self-check circuit included in the semiconductor integrated circuit especially equipped with the memory array of a two-dimensional relief method.

[0012] It will become clear [about the other purposes and the new description] from description and the appending drawing of this specification along [said] this invention.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application.

[0014] Namely, two or more permutation memory lines or permuted blocks for relieving the failure memory line containing a failure bit, In the semiconductor integrated circuit which has the memory array equipped with two or more permutation memory trains or permuted blocks for relieving the failure memory train containing a failure bit An address-generation means to generate the test address, and a test-data generation means to generate the test data written in a memory array, An expected-value generation means to generate the expected value over the data read from a memory array, A comparison means to compare with expected value the data read from the memory array, The failure address storage means for memorizing the failure line address and the failure train address which were detected, The 1st condition storage means showing whether renewal of the above-mentioned failure address storage means is possible, The control means which determines the following control state from the contents of the 2nd condition storage means showing the existence of the writing to a failure address storage means,

and the data comparison result in the above-mentioned comparison means, the above 1st and the 2nd condition storage means is established.

[0015] Moreover, the 3rd condition storage means which shows whether relief by the above-mentioned permutation memory line or the permuted block, the permutation memory train, or the permuted block is unable to be desirably possible is established, and the above-mentioned control means is constituted so that the following control state may be determined from the contents of the data comparison result [in the above-mentioned comparison means], above 1st, 2nd, and 3rd condition storage means. This can realize high relief effectiveness now by little hardware.

[0016] Furthermore, the above-mentioned failure address storage means, the above 1st, and the 3rd condition storage means at least constitute the contents from the exterior possible [read-out]. By this, an external circuit tester or laser repair equipment etc. is relievable, or can know remedy easily in a list.

[0017] Moreover, when it is constituted so that the above-mentioned memory array may consist of two or more memory block and 1 bit of data may be read at a time from each memory block to coincidence to the same input address, a means to detect that failure exists is formed in the same address of two or more memory block. Relief effectiveness becomes high while the decision of the permutation memory line for relief to such failure becomes easy by this.

[0018] Furthermore, in the case of the self-check circuit built in the semiconductor integrated circuit equipped with two or more memory arrays from which a WORD bit pattern differs, the actuation means which carries out the bit exchange of the high-order-bit group and lower bit group of the address generated in the above-mentioned address-generation circuit is established. By this, it becomes unnecessary to prepare an address-generation circuit for every memory array, and the simplification of a self-check circuit is attained.

[0019] Furthermore, in the self-check circuit of a built-in memory array, a test is performed in the direction along the train address. When the failure address is in agreement with one of contents among a failure line address register [finishing / storage / when failure is detected], and a failure train address register Consider the register as the ban on updating, and, in the failure to the new address The failure line address and the failure train address are memorized to coincidence to an empty failure address register. When a failure line address register and a failure train address register are full, already To the address register which can be updated, the failure train address is saved at a failure train address register, this register and a corresponding failure line address register are considered as the ban on updating, and relief is made impossible when all failure address registers are the bans on updating. This can realize high relief effectiveness now by little hardware.

[0020] Moreover, desirably, when the failure to the same address of two or more memory block is detected, it considers that the detected failure is a line Rhine chip, and the failure line address concerned is saved at a failure line address register, and is set up impossible [updating]. Relief effectiveness becomes high while the decision of the permutation memory line for relief to such failure becomes easy by this.

[0021] Furthermore, while an expected-value generation means generate the expected value over the data read from a memory array outputs the value which reversed the write-in data generated by test-data generation means to generate a test data as expected value, it re-reverses the above-mentioned expected value just before a comparison means compare with expected value the data read from the memory array, and it is made make it input it into a comparison means. Also when distinction is not attached [whether it seems that expected value and memory array read-out data of a circuit having corresponded truly constitutionally on the occasion of an expected-value comparison or expected value bypassed the memory array, and expected value was in agreement by this, and], an exact comparison result can be obtained.

[0022]

[Embodiment of the Invention] Hereafter, the suitable example of this invention is explained based on a drawing.

[0023] Drawing 1 is the outline block diagram of one example of the self-check circuit of the memory array concerning this invention.

[0024] On the semiconductor chip with which the self-check circuit of this example was carried, two or more memory arrays (MARY1 – MARYn) 102 which are [bit pattern /, the number, i.e., the I/O data bit width of face, of memory block, / WORD] different are carried. This example is applied to the usual microprocessor chip, and each memory array MARYi (i=1–n) is used for the memory for translation table storing of an instruction cache, a data cache, the TAG cache with which the tag address in virtual memory is stored, the logical address, and a physical address etc., corresponding to the specification of each microprocessor.

[0025] In addition, memory block is a block which made the I/O number of bits the standard in this example. If the case where the number of bits of the data by which read/write is carried out to the I/O data bit width of face of a memory array, i.e., 1 time, is 8 bits is specifically taken for an example, as shown in drawing 2, each bits D0 and D1 of the data read by all the addresses assigned to the memory array MARYi concerned andD7 will point out the assembly of the memory cell stored, respectively. In drawing 2, MB0, MB1,MB7 are memory block, respectively. Although the WORD bit pattern of each memory block is common to one memory array, if memory arrays differ, in the case of 512 bytes of memory array, the block count can take the configuration of arbitration by 8 like 512 word x1 bit or 64 word x8 bit, 32 word x16 bit, and 16 word x32 bit.

[0026] The permutation memory line for relief and the permutation memory train were prepared in each memory array, respectively, and the two-dimensional relief method is adopted as it. The number of the permutation memory line for relief and permutation memory trains is arbitrary respectively, it may be made to perform the permutation in not a train unit but a block unit about a permutation memory train, and the permuted block for relief is prepared for each memory array of this example. Furthermore, in this example, there are some from which two or more memory arrays (this is hereafter called a memory mat) in which the permutation memory line for relief and the permuted block for relief are prepared, respectively gather, and constitute one memory array.

[0027] Although the number of forms of the memory array carried on one chip and the number of loading are not bound to this example at all, by this example, a class presupposes that the number of memory arrays in which four and loading are possible is 127 for more concrete explanation. The class (memory type) of memory array carried in this example and the example of those concrete specifications and each redundancy relief method are shown in Table 1.

[0028]

[Table 1]

メモリ タイプ	7*ブロック構成			7*ブロック 数	マト数	行ライン救済方法		列ライン救済方法	
	ワード数	行 アドレス	列 アドレス			救済方法	救済数	救済方法	救済数
TYPE1	512 ワード	6ビット	3ビット	14ビット	2	行ライン4本単 位で置換	1	107*ブロック救済 (全マト一括 置換)	1
TYPE2	32ワード	5ビット	なし	27ビット	8	-	0	-	0
TYPE3	2kワード	7ビット	4ビット	8ビット	4	行ライン4本単 位で置換	1	107*ブロック救済 (全マト一括 置換)	1
TYPE4	8kワード	9ビット	4ビット	36ビット	2	行ライン4本単 位で置換	2	107*ブロック救済 (全マト一括 置換)	2

In Table 1, when only one memory mat has some failures and it is relieved in a block permutation, it means permuting memory block of all memory mats like a memory mat with failure as all mat all-replacement. It is because the probability for failure to generate the circuit which enables it to perform having considered as such a permutation method separately to the memory mat of right and left of a setup of the relief address when one memory array consists of two memory mats on both memory mats while the configuration becomes complicated is low, so it is not necessary to constitute so that a setup of the relief address can be separately

performed to a memory mat on either side. So, in this example, the merit at the time of a design was thought as important and the circuit of the method which permutes all mats collectively was adopted. Therefore, although relief of different memory block for every memory mat cannot be performed in this example, a relief address number can be reduced and the required number of failure address registers can be reduced.

[0029] Moreover, although especially specification is not carried out to drawing 1, the system of this example is constituted so that it may operate synchronizing with a single clock. Therefore, the clock shall be tacitly distributed to the circuit block which operates synchronizing with a clock. In addition, it cannot be overemphasized that it can apply also to an asynchronous system, considering the essence of this invention.

[0030] In drawing 1, 101 is a pattern generator (APG) and this pattern generator 101 generates line address XADR [for a test], train address [for a test] YADR, write-in enable signal WE, write-in data, or expected-value data DAT A, and mask signal MASK according to the value of each mode register in the self-test start signal RBSTART inputted from the external terminal 141,142, and the pattern generator which it RAM-test-start-signal-RATEST(s), and is mentioned later. Although write-in data and the signal source of expected-value data DAT A are common, the pattern generator 101 of this example outputs the data written in the corresponding memory address, and data with opposite logic as expected value for the reason mentioned later. Mask signal MASK is a control signal for forbidding the failure analysis by the error detection signal FAIL from the 1st compressor 104 in the time of a light etc.

[0031] 107 is a register for test range selections used in order to specify the memory array which tests, a memory type, a memory mat, and memory block. It is a write-in selection circuitry, and in this write-in selection circuitry 108, an AND with the write-in enable signal WE, the memory array selection signal MSL outputted from the register 107 for test range selections, and the memory classification selection signal MTS is taken, and 108 is written only in the memory array for a test, and an enable signal WE is chosen and it is supplied.

[0032] 110 is the selector which is supplied from a microprocessor etc. and which usually chooses the logic signal NML, and address signal XADR for a test from the above-mentioned pattern generator 101, YADR, write-in signal enabling [WE] and write-in data DAT A, and the logic signal NML is chosen at the time of normal operation, and XADR, YADR, and WE and DATA are usually chosen at the time of a memory test, and it is supplied to the memory array for a test.

[0033] The data written in the memory array MARY by the signal from a pattern generator 101 are read according to the signal from a pattern generator 101, and are compared with expected-value data DAT A outputted from a pattern generator 101 by the comparator 103 only about memory block of the memory mat specified with the memory mat selection signal MSL supplied from the register 107 for test range selections, and the memory-block selection signal MBS. The comparison result in a comparator 103 is inputted into the 1st compressor 104.

[0034] In the 1st compressor 104, the signal FAIL which shows the existence of failure, and the signal DBN which encoded the data bit number of memory block with an inequality are passed to an analyzer (FBA) 105 based on the inputted comparison result. Moreover, in the 1st compressor 104, when it detects whether there is any inequality by two or more memory block and there is an inequality, the multi-bit error signal MBE is formed and it tells to an analyzer 105.

[0035] An analyzer 105 makes preservation of the relief address, the judgment of relief propriety, and the decision of remedy on real time according to the algorithm later mentioned from the information from the above-mentioned compressor 104, and line address XADR inputted from a pattern generator 101. In addition, as for a comparator 103, a compressor 104, and an analyzer 105, it is effective only for the number of memory arrays MARY which corresponds, respectively to exist, and to constitute as one RAM macro cell respectively in accordance with these, when simplifying a design. These advance explanation for it, respectively noting that this example is also one RAM macro cell.

[0036] Moreover, renewal of information, such as said relief address, and relief propriety, remedy, is performed only by the RAM macro cell chosen with the memory array selection signal MSL outputted from the above-mentioned register 107 for test range selections, and the memory

classification selection signal MTS, when mask signal MASK from a pattern generator 101 is negated (nullification). The mask generation circuit 109 takes charge of this logic, and mask signal MASK after selection is distributed to each RAM macro cell. From an analyzer 105, the RAM macro cell failure signal RMT showing the existence of failure in each cycle is outputted to the 2nd compressor 106.

[0037] Mask signal MASK is a control signal for forbidding the failure analysis by the error detection signal FAIL from the 1st compressor 104 in the time of a light etc. here. Since each memory array MARY serves as circuitry which outputs write-in data and data with opposite logic at the time of a light in this example, It is prepared in order to forbid failure analysis [made / in according to it / the mistake], since a comparator 103 judges the output accidentally to be an error and the judgment result comes into an analyzer 105. In this example, although mask signal MASK is put into the analyzer 105, it puts into a comparator 103 or a compressor 104, and may be made to perform same prohibition control.

[0038] The 2nd compressor 106 generates the serial OR of the failure signal RMT from each analyzer 105. That is, if there is at least one failure in the memory array specified as the candidate for a test with the register 107 for test range selections to the test address specified with the pattern generator 101, the failure signal DFT will be asserted on real time. The failure signal DFT is returned to a pattern generator 101, and processing which is described henceforth is made according to the value of the various status registers in a pattern generator 101.

[0039] Drawing 3 is the block diagram showing the example of a configuration of the above-mentioned pattern generator 101. The microinstruction register 203 with which a maximum of 16 microinstruction codes are stored in order that a pattern generator 101 may generate a test pattern, The program counter 202 which specifies the microinstruction read from this microinstruction register 203, The incrementer 201 which carries out "+1" of the value of a program counter 202, The control circuit 200 which performs processing according to the microinstruction read from the microinstruction register 203, The various registers 204-213, The signal of the address scramble circuit 220, the address-data arithmetic circuit 221, an incrementer 201, or a control circuit 200 is chosen. It consists of the buffer register 214 of the selection circuitry 230 supplied to a program counter 202, and the signal outputted from a pattern generator - 217 grades.

[0040] In addition, the 2 bits data register with which 204 specify a test data among the above-mentioned registers 204-213, the 13-bit address register with which 205,206 sets up the test address, respectively, the inside loop counter to which 208,209 carries out counting of the count of activation of the instruction loop formation in instruction sequence and an outside loop counter, the reset value register which set up the value to which 207 resets an inside loop counter, the register with which 210 sets up the number of cycles of a test, and 211 are the control registers which set up the control code which specifies the contents of control by the control circuit 220.

[0041] Moreover, the register with which the code of the triplet as which 212 specifies the method of the scramble in the address scramble circuit 220 is set up, and 213 are registers with which the 2-bit code which specifies the operation expression of the data in the address-data arithmetic circuit 221 is set up.

[0042] Drawing 4 is what shows the configuration of the microinstruction code held in the instruction register 203 of a pattern generator 101. The field containing the code JUMP bit fields 0-3 indicate a jump place to be, The field containing the code LC a bit field 4 indicates the existence of the loop formation of an instruction to be, The field containing the code RW a bit field 5 indicates a lead or a light to be, Bit fields 6 and 7 are the fields containing the code OUTADR which specifies the address signal passed to the address scramble circuit 220 from a control circuit 200. the code of this field -- "00" -- the value of TA0 register 206, if it becomes "01" -- if it becomes -- the bit comp RIMENTO signal of the value of TA0 register 206 -- "10" -- if it becomes -- the value of TA1 register 205 -- "11" -- if it becomes, it means outputting the bit comp RIMENTO signal of TA1 register 205.

[0043] the field containing the code MASK a bit field 8 indicates the important point/needlessness of a mask to be, and the field containing the code INV as which bit fields 9

and 10 specify the operation to the 2-bit data register 204 -- it is -- the value of a bit field 9 -- "1" -- if it becomes -- the value of the 0th bit of a data register 204 -- reversed -- the value of a bit field 10 -- "1" -- if it becomes, it means reversing the value the 1st bit of a data register 204, and storing in a data register 204 again.

[0044] The field containing the code TA 1 as which bit fields 11 and 12 specify the class of operation to the value of the test address register 205, Bit fields 13 and 14 are the fields containing the code TA 0 which specifies the class of operation to the value of the test address register 206. if codes TA1 and TA0 become "00" 1, respectively -- any -- not carrying out -- "01" -- if it becomes -- a decrement and "10" -- if it becomes -- an increment and "11" -- if it becomes, it means reversing a value and returning a value to each register. The activation sequence of an instruction is controlled by the code of bit fields 0-3 (JUMP field), and the code of a bit field 4 (loop-formation field LC).

[0045] An example and the contents of the microinstruction used in the pattern generating circuit of this example are shown in Table 2. In addition, Table 2 shows the set point of the microinstruction register 203 in the scanning test which writes "0" in the target memory array in order, reads "0", then writes in "1", and reads "1." Table 2 is the example of a scanning test, for example, in the test which writes in "0" and "1" by turns and reads them on a check board, other instruction code groups are set as the microinstruction register 203.

[0046]

[Table 2]

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
	Jump				LC	RW	OUTADR		MASK	INV		TA1		TA2		内容
CR0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	書込
CR1	0	0	0	1	1	0	1	0	0	0	0	1	0	0	0	読出
CR2	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	データ反転
CR3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRF	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

In Table 2, the 1st instruction code is a microinstruction code which writes "0" in the target memory array in order. The 2nd instruction code is a microinstruction code which reads "0" in order. The 3rd instruction code is a microinstruction code which reverses the value of 2 bits of a data register 204. A data register 204 is begun and it is made "00", and after executing the 3rd instruction after reading with the writing of "0" by the repeat of the above-mentioned 1st and the 2nd instruction and completing a test, and reversing data, it reads with the writing of "1" by repeating the 1st and the 2nd instruction again, and a test is performed. In addition, the generated 2-bit data are extended 4 times in the data-address arithmetic circuit 221, and are supplied to a memory array as 8 bit data.

[0047] Below, the flow chart is shown for the list which described the instruction-execution sequence of the above-mentioned microinstruction by HDL (Hardware Description Language) in drawing 5 again.

if LC = 0 then PC <- JUMP; else if LC = 1 then if LC0 = 0 then if LC1 = 0 then RUN <- 0 LC1 <- LC1-1; end if; else PC <- JUMP; LC0 <- LC0-1; LC1 <- LC1; PC <- PC; LC0 <- LC0; LC1 <-

LC1;elsePC <- PC+1; LC0 <- NL0;;

the end if;end if; above-mentioned list -- setting -- the 1st line and the 2nd line -- the loop code LC of a bit 4 -- "0" -- if it becomes, it means putting the value of the JUMP field into a program counter (PC) 202 (steps S1 and S2 of drawing 5). Since the program counter (PC) is pointing to the address number of the instruction register 203 which consists of 4 bits and is performed in degree cycle, in degree cycle, the instruction in the instruction register shown in the JUMP field is executed.

[0048] Below the 3rd (step S3 of drawing 5) line expresses the contents of processing in case the loop code LC of a bit 4 is "1." Here, the operation to a loop counter LC 0 (209) and a loop counter LC 1 (208) is performed. If LC is [LC0] "!=0" in "1", whenever an instruction is executed, the decrement of the value of LC0 is carried out every [1] (step S3-> S7). Moreover, since the value of the JUMP field is stored in a program counter (PC) at this time, the instruction executed next is specified in the JUMP field. For example, only the value of the beginning of a loop counter LC 0 will repeat activation of the instruction by putting the address address of self instruction code into the JUMP field.

[0049] And if the value of a loop counter LC 0 is set to "0", while "1" subtraction of the value of a loop counter LC 1 will be carried out (step S3->S4-> S6) and the value of a register NL 0 will be assigned to a loop counter LC 0, the value "PC+1" by which "+1" was carried out by the incrementer 201 is inputted into a program counter (PC) by the selection circuitry 230. Thereby, while the next instruction is executed, since LC0 is again set to "!=0", the loop formation of step S3S7 is repeated. Also in this case, when the address number of its own instruction code is specified as the JUMP field under instruction, only the set point of a loop counter LC 0 will repeat activation of that instruction.

[0050] Then, "0" will be substituted if both the values of loop counters LC0 and LC1 are set to "0" (step S4-> S5), the bit 6, i.e., the RUN bit, of the state control register 211 If a RUN bit controls activation and a halt of a pattern generator 101 to mention later and this value is set to "0", it means that a pattern generator 101 stops. The writing of the test data of a memory array etc. can be automatically performed by performing actuation which fix a line address and a round is made to take of the train address, and a line address is updated [actuation] next and makes a round take of the train address again by the above-mentioned double loop formation about all line addresses.

[0051] Table 3 expresses activation / halt control condition of a pattern generator 101 based on the control input signals RAMTEST and RBSTART in a control circuit 200, and the value of registers 208-211.

[0052]

[Table 3]

#	Input										Output	
	RAMTEST	RBSTART	CC_O_R	CC_O_FS	CC_O_CT	CC_O_SRT	CC_O_RUN	SC_O	LC0_O	LC1_O	CC_I_SRT	CC_I_RUN
1	0	-	-	-	-	-	-	-	-	-	CC_O_SRT	0
2	-	-	-	-	-	-	-	-	0	0	CC_O_SRT	0
3	-	-	-	-	1	-	-	0	-	-	CC_O_SRT	0
4	-	-	1	1	-	-	-	-	-	-	CC_O_SRT	0
5	1	1	-	-	-	0	-	-	-	-	1	1
6	1	1	-	-	-	1	-	-	-	-	1	CC_O_RUN

When #1 in Table 3, and 2, 3 and 4 express the condition precedent of a pattern generator and any one condition is fulfilled, a RUN bit is set to "0" and a pattern generator 101 stops. # If 1 expresses a halt by the RAMTEST signal and this signal becomes logic "0" (low level), a pattern generator 101 will stop unconditionally.

[0053] # the loop counter (LC) which 2 mentioned above -- it is a condition precedent (LC 0= 0, LC 1= 0) by the value of 208 and 209. # 3 is a condition precedent by the sequential counter (SC) 210, and when the value of the bit 4 (counter control-bit CT) of a control register (CC) 211 is "0", if the value of SC is set to "0", a pattern generator 101 will stop. This function is used in a test to suspend a pattern generator compulsorily in a specific cycle.

[0054] # 4 is the fail stop function, and when the value of the bit 2 (fail stop bit FS) of a control register (CC) 211 is "1", and the value of this bit 1 (test-result bit R) is "1", a pattern generator stops. In addition, R bits of existence of a fail of each cycle are expressed here, and this function will enable it to stop a self-test, if a memory array has at least one failure.

[0055] # 5 is the start condition of a pattern generator of operation, and when the bit 5 (execution control bit SRT) of a control register (CC) 211 is "0", and both a RAMTEST signal and a RBSTART signal are asserted, a pattern generator starts actuation. Unless an SRT bit is also set to "1" and a scanning inn is carried out from the outside at this time, it does not return to "0." That is, it has guaranteed that a test is performed only once [only].

[0056]

[Table 4]

#	Input			Output				
	CC_O RUN	CC_O TR	FAIL	WE	MASK	FAIL_OUT	CC_I R	CC_I RA
1	0	0	-	0	1	CC_O RA	CC_O R	CC_O RA
2	0	1	-	0	1	CC_O R	CC_O R	CC_O RA
3	1	-	0	MC_RW	MC_MASK	CC_O R	0	CC_O RA
4	1	-	1	MC_RW	MC_MASK	CC_O R	1	1

Table 4 is the output-control signal WE based on the input fail control signal FAIL in a control circuit 200, and the value of a register 211, MASK, and FAIL_OUT, register control signal CC I R, CC I The output-control condition of RA is expressed. a pattern generator -- working -- namely, -- RUN -- a bit -- one -- # -- three -- # -- four -- then -- a buffer register -- (-- WE --) -- 216 -- **** -- a program counter -- (-- PC --) -- 202 -- choosing -- having had -- microinstruction -- a register -- (-- CR --) -- 203 -- a bit field -- five -- a value -- (-- RW --) -- a buffer register (MASK) -- 217 -- **** -- a bit field -- eight -- a value (MASK) -- inputting -- having .

[0057] At this time, it is the fail output signal FAIL from a pattern generator 101. The value of R bits of a control register 211, i.e., the fail information on a ** cycle, is outputted to OUT.

Moreover, if it changes the bit 0 (test-result are recording bit RA) of a control register 211 the input fail signal FAIL once into a condition with a fail, it will continue being considered as as ["1"]. In #1 at the time of a test halt, and #2, "0" is inputted into a buffer register (WE) 216, and "1" is inputted into a buffer register (MASK) 217. This is for making Retest possible, with the last test result held.

[0058] For this reason, at the time of a pattern generator halt, renewal of some registers is forbidden as shown in Table 5. Fail output signal FAIL According to the value of the bit 3 (result output-control bit TR) of a control register 211, the selection output of the value of R bits or RA bit is carried out at OUT.

[0059]

[Table 5]

レジスタ名	内容	ビット数	停止時更新禁止
CR	制御用レジスタ	15 bit×16	
PC	プログラムカウンタ	4 bit	○
CC	状態制御	7 bit	RA, Rビットのみ
LC0	内側レジスタ	13 bit	○
LC1	外側レジスタ	17 bit	○
NLO	内側レジスタビット値	13 bit	
AS	アドレスカウンタ指定	3 bit	
AP	アドレス演算指定	2 bit	
SC	テスト回数	30 bit	○
TA0	テストアドレス0	13 bit	○
TA1	テストアドレス1	13 bit	○
D	テストデータ	2 bit	○
ADDRESS	アドレス出力	13 bit	○
DATA	データ出力	2 bit	○
WE	ライトエナブル出力	1 bit	
MASK	マスク制御出力	1 bit	

Moreover, the data reversed in the time of a lead and a light are written in a buffer register (DATA) 215 to the value of a register 204. Although its expected value must be the same as the data originally written in a memory array with a natural thing, distinction is not attached [whether it seems that expected value and memory array read-out data having been truly in agreement or expected value bypassed the memory array, and expected value was in agreement and], in case a circuit is an expected-value comparison constitutionally as memory array write-in data are the same as expected value. Then, he outputs the value which reversed the data written in the memory array as expected value, and is trying to avoid the above-mentioned fault in this example by being reversed again within each RAM macro cell, and returning to the original write-in data.

[0060] Drawing 6 expresses the relation between the input of the data arithmetic circuit 221 based on [in Table 6] the set point of the operation assignment register (AF) 213 for the connection relation between the address-data arithmetic circuit 221, registers 213-215, and a memory array MARY, and an output. As shown in drawing 6, the high order bit of an address register 214 is connected to the train decoder of a RAM macro cell, and a lower bit is connected to a line decoder. Each least significant bit XX and YY of the address signal connected to these decoders is inputted into the address-data arithmetic circuit 221, and the operation shown in Table 6 is performed according to the value of the operation assignment register 213.

[0061]

[Table 6]

AFレジスタ	入力	出力	パターン
0	DATA	DATA	ストレート
1	DATA	DATA % XX % YY	チェッカーボード
2	DATA	DATA % XX	Xストライプ
3	DATA	DATA % YY	Yストライプ

In Table 6, a notation "%" means an exclusive OR. These operations are for realizing X stripe which writes in the same data as the same line of a memory array, Y stripe which writes in the same data as the same train, and the checker board pattern which writes data in a checker. In addition, the least significant bit of the address inputted into the address-data arithmetic circuit 221 changes with the Low Callum configurations, i.e., the RAM kind, of a memory array. The least significant bits XX and YY for every RAM kind are shown in Table 7.

[0062]

[Table 7]

RAM種	XX	YY
32w RAM	ADDRESS(12)	0
512w RAM	ADDRESS(12)	ADDRESS(6)
2kw RAM	ADDRESS(12)	ADDRESS(5)
8kw RAM	ADDRESS(12)	ADDRESS(3)

Drawing 7 shows the relation between the set point of the AS register 212, and the scramble function of the address scramble circuit 220 for the function of the address scramble circuit 220 in Table 8 again. Since the lower bit of the address is connected to the appearance mentioned above at a line decoder, the increment of the test address is carried out to order in the direction of a train. That is, a self-test is performed sequentially from the same train. However, when it is clear that a problem is in a specific line with the RAM macro cell for a test, there is a demand of wanting to test to a line writing direction. In order to realize this function, the high-order-bit group and lower bit group of the address are swapped (bit exchange), and it consists of address scramble circuits 220 of this example so that it may output to each RAM kind.

[0063]

[Table 8]

0	1	2	
0	-	-	シフト無し
1	0	0	512w RAM 用
1	0	1	2kw RAM 用
1	1	0	4kw RAM 用
1	1	1	8kw RAM 用

Drawing 8 is the block diagram showing the joint relation between the example of a configuration of the register 107 for test range selections and the register 107 for test range selections, and the memory array 102 and comparator 103 grade that constitute a RAM macro cell. In drawing 8, the block which becomes 108/109 is what showed the write-in selection circuitry 108 and the mask generation circuit 109 which are shown in drawing 1 as one block, and the function is the same as the case of drawing 1.

[0064] The TMRAM register 401 for the register 107 for test range selections to specify the RAM macro cell for a test as shown in drawing 8, The TMTYP register 402 which specifies the RAM kind for a test, and the TMBLK register 403 for specifying the memory mat for a test, The set point of the TMBIT register 404 for specifying memory block for a test (data bit) and the TMRAM register 401 consists of oar "0", a circuit 405 to detect, and circuit 406 grade which the set point of the TMBIT register 404 detects in oar "0." The value of the TMRAM register 401 and the TMTYP register 402 is inputted into a mask and the WE control circuits 108/109, the write-in enable signal WE is asserted and mask signal MASK is negated only for the selected macro.

[0065] Table 9 shows the relation between the set point of the above-mentioned TMRAM register 401, and the contents of assignment.

[0066]

[Table 9]

TMRAM レジスタ値	選択マクロセル
0	全マクロセル選択
1	RAM マクロセル 0
2	RAM マクロセル 1
.	.
.	.
63	RAM マクロセル 62

it is shown in Table 9 -- as -- the value of the TMRAM register 402 -- "0" -- if it becomes, one decoded RAM macro cell is specified and it enables it to specify all macro cells to a maximum of 63 RAM macro cells except it

[0067] Table 10 shows the relation between the set point of the above-mentioned TMTYP register 402, and the contents of assignment.

[0068]

[Table 10]

TMTYP レジスタ値				選択マクロセル種
Bit 0	1	2	3	
1	-	-	-	512w RAM
-	1	-	-	2kw/4kw RAM
-	-	1	-	32w RAM
-	-	-	1	8kw RAM

When the value of the bit 0 of the TMTYP register 402 is "1", the value of a bit 1 is [512-word RAM] "1" as shown in Table 10, the value of a bit 2 is [RAM of 2 k word] "1" and 32-word RAM is [the value of a bit 3] "1", RAM of 8 k word is specified, respectively.

[0069] Table 11 shows the relation between the set point of the above-mentioned TMBLK

register 403, and the contents of assignment.

[0070]

[Table 11]

TMBLK レジスタ値				選択セット
Bit 0	1	2	3	
1	-	-	-	メモリマト0 選択
-	1	-	-	メモリマト1 選択
-	-	1	-	メモリマト2 選択
-	-	-	1	メモリマト3 選択

When the value of the bit 0 of the TMBLK register 403 is "1", the value of a bit 1 is [the memory mat 0] "1" as shown in Table 11, the value of a bit 2 is [the memory mat 1] "1" and the memory mat 2 is [the value of a bit 3] "1", the memory mat 3 is specified, respectively.

[0071] Table 12 shows the relation between the set point of the above-mentioned TMBIT register 404, and the contents of assignment.

[0072]

[Table 12]

TMBIT レジスタ値	選択メモリアドレス
0	全メモリアドレス選択
1	メモリアドレス0
2	メモリアドレス1
.	.
.	.
63	メモリアドレス62

When the value of the TMBIT register 404 is "1" and all memory block is [the value of a register] "1" as shown in Table 12, memory block 0 is specified like memory-block 1, when the value of a register is "2", and it enables it to specify it to a maximum of 63 memory block.

[0073] Drawing 9 is in each RAM macro cell, especially shows the example of a comparator 103 and a compressor 104 taking the case of RAM of 2 k word.

[0074] With the data latch 301 who latches the data with which the comparator 103 was read from each memory mat of a memory array MARY as illustrated The EOR gate 302 which takes the exclusive OR of the read-out data from a memory array MARY, and the expected-value data (reversal value of write-in data) from a pattern generator 101, and forms a fault detection signal, The set selector gate 303 which passes only the output of the memory mat specified based on the value of the TMBLK register 403 in the test range-selection register 107 among the outputs (fault detection signal) of this EOR gate 302, It consists of a block selector gate 304 which passes only the output of memory block (data bit) specified based on the value of the TMBIT register 404 in the test range-selection register 107 among the outputs of this set selector gate 303.

[0075] The OR gate 411 where a compressor 104 takes the OR of the fault detection signals of the same bit position of each block data among the outputs of a comparator 103, The OR gate 412 which furthermore takes the OR of the output of these OR gates 411, While generating the code DBT of the triplet which shows a failure bit location based on the output of these OR gates 411 <0-2>, it consists of encoder multi-bit detectors 413 which generate the multi-bit error signal MBE which shows that two or more failures have occurred. The example of this encoder multi-bit detector 413 is shown in drawing 10 .

[0076] Next, the judgment approach of the relief information on an analyzer 105 is explained.

Judgment / preservation algorithm of relief information is a very important part which determines the relief effectiveness of a memory array. On the other hand, since an analyzer 105 is formed for every RAM macro cell, it influences the area of a chip greatly. Moreover, in order to fill the demand of a real-time test, an analyzer 105 must also operate synchronizing with the

system clock of a chip. Therefore, the specification of an analyzer 105 has direct effect on chip cost and the chip engine performance.

[0077] So, in the analyzer of this example, in order to guarantee the relief effectiveness of a minimum memory array, except for the special case mentioned later, it was presupposed that the following conditions are required. That is, all the line Rhine chip poor [below N group] is relieved to the RAM macro cell which has the memory line for relief of N group and the register for failure line address preservation, M sets of blocks for relief (or permutation memory train for relief), and a register for failure train address preservation. All of M or less sets of poor train Rhine chips are relieved. A random bit poor [below a N+M group] is relieved as much as possible.

[0078] It considered as the thing.

[0079] however, it is not easy to realize the above-mentioned basic condition in the minimum hardware, i.e., the register for failure line address preservation of N book and the register for failure train preservation of M book, and some logic gates. For example, the memory array in which 1 set of line Rhine chips and 1 set of train Rhine chips exist is considered to the RAM macro cell which has one register for failure line address preservation, and one register for failure train address preservation. The line address of the failure which the analyzer detected first at this time is saved at a failure line address register, and if the train address of failure detected next is saved at a failure train address register, when a train Rhine chip is detected previously, a line Rhine chip will be relieved. On the contrary, the train address of the failure which the analyzer detected first is saved at a failure train address register, and if the line address of failure detected next is saved at a failure line address register, when a line Rhine chip is detected previously, a train Rhine chip will be relieved. In this invention, the above-mentioned basic condition is realized according to the following guide.

(1) Test along train Rhine, updating a line address. It is because it is possible to decode immediately by reporting a line Rhine chip as a multi-bit error to not becoming clear until having adopted this method detects failure of the upper and lower sides which a train Rhine chip adjoins, so the direction of the test which met train Rhine in the point of test time amount becomes advantageous.

(2) When the address (a line address and train address) of ** failure bit is in agreement with one of contents in a single bit among a failure line address register [finishing / storage / when an error is detected], and a failure train address register, it considers the register of the congruous ones as the ban on updating.

** The failure line and train address register whose ** -1:correspondence it does when the address of a failure bit is not saved at a failure address register save the failure line address and the failure train address to a failure address register at coincidence, if both are non-states of preservation.

[0080] ** -2 : when a failure line address register and a failure train address register are full, while already saving either the line address of the detected failure bit, or the train address to the address register which can be updated, consider renewal of a register as prohibition.

[0081] ** -3 Relief is made impossible when all failure address registers are the bans on updating.

(3) Consider that the error generated when a multi-bit error was detected is a line Rhine chip, save a failure line address at a failure line address register, and when all failure line address registers are the bans on updating, make relief impossible. Although two or more train Rhine chip failures which have the same train address are unrelievable by this method, possibility that two or more train Rhine chip failures will occur to the same train address in a realistic case is low, and simple for the processing which relieves a multi-bit error by the failure line address. On the other hand, it considered that the generated errors were two or more different memory cell failures, and although there was also a method of saving the group of all the failure addresses at a failure line address register and a failure train address register, since processing became very complicated, by this example, the previous method was adopted, so that a train Rhine chip could be relieved.

[0082] When the case (single bit error detection) where a 1-bit error is detected, and a two or

more bits error are detected hereafter (multi-bit error), it divides and explains.

[0083] Drawing 11 is what expressed the concrete renewal algorithm of failure information in the single bit error detection based on the above-mentioned method with the flow chart, and drawing 12 - Fig. 1414 expresses this algorithm visually. However, with this algorithm, N book and a failure train address register are made into M, and the failure line address register is made into $N \geq M$. A train and a line should just be replaced at the time of $N < M$.

[0084] First, failure is detected, and if judged with the error signal being a single bit error, processing shown in the flow chart of drawing 11 will be performed. Here, the updating status flag of FX and a failure train address register is set [the train address of the failure bit newly Xp (ed) and detected in the line address of the newly detected failure bit / Yp and a failure line address register / FWD and a failure train address register] to FY for the updating status flag of FBT and a failure line address register.

[0085] First, it is judged whether both the line addresses Xp and train addresses Yp of a failure bit that were detected are already saved at the failure address registers FWD and FBT (step S1). If both the addresses are saved, since the failure bit is a bit already detected before and relief treatment is made, processing is ended immediately (step S1 → END).

[0086] Next, it is judged whether the line address Xp of the detected failure bit is already saved at the failure line address register FWD (step S2). If the line address Xp is already saved at the failure line address register FWD, the updating status flag FX of the failure line address register FWD with which the line address Xp is saved will be considered as prohibition (step S3), and preservation of the line address Xp of the detected failure bit and the train address Yp will not be made. As shown in drawing 12 (A), the failure bit (X2, Yp) was newly detected, but when the failure line address X2 is already saved, preservation of a line address X2 is omitted and, instead, the updating status flag FX of the line address register FWD is considered as prohibition.

Thereby, it is decided that aid is given in line Rhine. Moreover, since this newly detected failure bit (X2, Yp) is relieved in line Rhine, the train address Yp does not need to be saved at the failure train address register FBT.

[0087] Next, it is judged whether the train address Yp of the detected failure bit is already saved at the failure train address register FBT (step S4). If the train address Yp is already saved at the failure train address register FBT, the updating status flag FY of the train address Yp will be considered as prohibition (step S5), and preservation of the line address Xp of the detected failure bit and the train address Yp will not be made. As shown in drawing 12 (B), the failure bit (Xp, Y2) was newly detected, but when the failure train address Y2 is already saved, preservation of the train address Yp is omitted and the updating status flag FY of the train address register FBT is considered as prohibition. Thereby, it is decided that aid is given in train Rhine. Moreover, since this newly detected failure bit (Xp, Y2) is relieved in train Rhine, a line address Xp does not need to be saved at the failure line address register FWD.

[0088] Next, the case of not being in agreement with the address with which both line address Xp of the newly detected failure bit and the train address Yp are saved at the failure address registers FWD and FBT is explained. In this case, the relief measures against either the relief measures against the line address Xp and the train address Yp of a failure bit which were newly detected, or the limping gait address Xp and the train address Yp are taken.

[0089] First, it is judged whether there is any register which is not saved in the inside of the failure address registers FWD and FBT (step S6). When there are non-saved failure address registers FWD and FBT, the address of the newly detected failure bit (Xp, Yp) is saved at the failure address registers FWD and FBT of this empty (step S7). The following two cases can be considered at this time. As shown in drawing 12 (C), when the Kth failure train address register ($K \leq M$) FBT has not been saved in the first place, Xp and Yp are saved at non-saved [(which naturally has not saved the Kth line address register FWD, either, since there are more failure line address registers FWD)] register ϕX_k , and ϕY_k , respectively, and pass/fail condition is considered as a fail (step S5 → step S6). At this time, since remedy (line Rhine relief or train Rhine relief) is not established, the updating status flags FX and FY "can be updated." While Xp is saved at non-saved line address register ϕX_k when the Kth failure line address register ($K > M$) FWD has not been saved as shown [second] in drawing 13 (D), the status flag FX of this

register is considered as "a ban on updating." It is because the detected failure bit (Xp, Yp) cannot save the train address Yp, so it is decided that aid is given in line Rhine.

[0090] Next, while the failure line address register FWD of N book and M failure train address registers FBT hold the failure address altogether, the updating status flags FX and FY are seen and the line address register FWD and the train address register FBT have it judged altogether whether it is the ban on updating (step S8). If there is an address register which can be updated, the line or a train address register will be looked for (step S9).

[0091] Next, it is judged whether the updating status flags FX and FY can be seen and both the line address register FWD and the train address register FBT can update (step S10). If both can be updated, while the train address Yp of the newly detected failure bit is saved at the failure train address register FBT, the updating status flags FX and FY are considered as "a ban on updating" (step S11). As shown in drawing 13 (E), as for a line and the train address registers FWD and FBT, even all the registers of eye watch serve as a ban on updating (L-1), and when both the Lth address registers can be updated, while the train address Yp is overwritten by the Lth failure train address register FBT, the updating status flags FX and FY of a line and the train address registers FWD and FBT are considered as "a ban on updating." It is for deciding relieving the failure bit where this was saved previously in line Rhine, and relieving the newly detected failure bit in train Rhine.

[0092] Next, it is judged whether at step S10, at the time of "NO", i.e., when neither of updating status flags FX and FY can update, the updating status flag FX can be seen and only the line address register FWD can be updated (step S12). If only the line address register FWD can be updated, while a line address Xp is saved at the failure line address register FWD, the updating status flag FX is considered as "a ban on updating" (step S13). That is, as shown in drawing 13 (F), the failure line address register FWD is the ban on updating to watch (L-1), and when the failure train address register FBT serves as a ban on updating to the Lth, while a line address Xp is overwritten by the Lth failure line address register FWD, the updating status flag FX of the line address register FWD is considered as "a ban on updating." Since only a line address Xp cannot be saved, it is for deciding giving aid in line Rhine. Moreover, since a train address register is the ban on updating and it is decided that aid is given in train Rhine, the failure bit saved previously at the Lth address registers FWD and FBT is relieved even if overwritten by the line address Xl.

[0093] Next, when only the train address register FBT can be updated, while it sees the updating status flag FY, and the train address Yp is saved at a failure train address register, the updating status flag FY is considered as prohibition (step S14). That is, as shown in drawing 14 (G), the failure train address register FBT is the ban on updating to watch (L-1), and when the failure line address register FWD serves as a ban on updating to the Lth, while the train address Yp is overwritten by the Lth failure train address register FBT, the updating status flag FY of the train address register FBT is considered as "a ban on updating." Since only the train address Yp cannot be saved, it is for deciding giving aid in train Rhine. Moreover, since the line address register FWD is the ban on updating and giving aid in line Rhine is decided, the failure bit saved previously at the Lth address register FWD is relieved even if overwritten by the train address Yl.

[0094] And since the address of the newly detected failure bit cannot be saved if the updating status flags FX and FY of all the failure line address registers FWD and failure train address registers FBT are made "a ban on updating" by the above-mentioned relief treatment as shown in drawing 14 (H), relief is made impossible (step 15).

[0095] Drawing 15 is what expressed the concrete renewal algorithm of failure information in multi-bit error detection with the flow chart, and drawing 16 expresses this algorithm visually. However, with this algorithm, N book and a failure train address register are made into M, and the failure line address register is made into N>=M. A train and a line should just be replaced at the time of N<M.

[0096] First, failure is detected, and if judged with the error signal being a multi-bit error, processing shown in the flow chart of drawing 15 will be performed.

[0097] Detection of a multi-bit error judges whether the line address Xp of the failure bit detected at step S21 is already saved at the failure line address register FWD. When saved, the

updating status flag FX of the line address register FWD is considered as "a ban on updating" (step S22). This is because he is trying to give aid in line Rhine when a multi-bit error is detected.

[0098] Next, the case where the line address Xp of the newly detected failure bit is not in agreement with the address saved at the failure line address register FWD is explained. In this case, relief measures are taken to the line address Xp of the newly detected failure bit in line Rhine.

[0099] First, it is judged whether a non-saved register is in the failure line address register FWD at step S23. When there is a non-saved failure line address register FWD, while the line address Xp of the newly detected failure bit is saved at the failure line address register FWD of this empty, the updating status flag FX is considered as "a ban on updating" (step S24). That is, as shown in drawing 16 (A), while the line address Xp of the failure bit detected by line address register phiXk of eye K ($K \leq M$) watch is saved, the updating status flag FX of this register is considered as "a ban on updating", and relief by line Rhine is decided. Since the train address Y of the detected failure bit becomes unrelated to relief at this time, train address register phiYk corresponding to line address register phiXk is taken as [un-saving]. Moreover, in the case of a multi-bit error, since aid is given in line Rhine, and the train address Y of the detected failure bit becomes unrelated to relief, also in $K > M$, the line address Xp of a failure bit is saved similarly, and the updating status flag FX is considered as "a ban on updating."

[0100] Next, when it judges that the failure line address register FWD of N book and M failure train address registers FBT hold the failure address altogether at step S23, it shifts to step S25, the updating status flag FX is seen, and the line address register FWD has it judged altogether whether it is the ban on updating. If there is a line address register FWD which can be updated, the line address register FWD will be looked for (step S27).

[0101] Next, it is judged whether the updating status flags FX and FY can be seen and both the failure line address register FWD and the failure train address register FBT can update (step S28). If both can be updated, while the line address Xp of the newly detected failure bit is saved at the failure line address register FWD, the updating status flag FX is considered as "a ban on updating." At this time, the updating status flag FY is also considered as "a ban on updating" (step S29). That is, while a line address Xp is overwritten by the Lth failure line address register FWD when both the Lth address registers FWD and FBT can update as shown in drawing 16 (B), the updating status flags FX and FY of a line and a train address register are considered as "a ban on updating." The failure bit previously saved corresponding to this having decided to relieve a multi-bit error in line Rhine is for deciding giving aid in train Rhine.

[0102] Next, if only the failure line address register FWD can be updated, while it sees the updating status flags FX and FY, and a line address Xp is saved at the failure line address register FWD, the updating status flag FX is considered as "a ban on updating" (step S30). That is, as shown in drawing 16 (C), the Lth failure line address register FWD can be updated, and when the failure train address register FBT serves as a ban on updating, while a line address Xp is overwritten by the Lth failure line address register FWD, the updating status flag FX of a line address register is considered as "a ban on updating." Moreover, since the Lth train address register FBT is the ban on updating and giving aid in train Rhine is decided, the failure bit saved previously at the Lth address register is relieved even if overwritten by the line address Xl.

[0103] And if the updating status flag FX of all the failure line address registers FWD is made "a ban on updating" by the above-mentioned relief treatment, since the line address of the newly detected multi-bit error cannot be saved, relief by line Rhine will be made impossible (step 26).

[0104] As mentioned above, although relief of a single bit error and a multi-bit error was separately explained using drawing 11 and drawing 15, these are performed in synchronization. That is, in one program, the detected failure is judged in a single bit error or a multi-bit error, and the flow chart of drawing 11 and drawing 15 is performed according to the result.

[0105] Drawing 17 shows the register prepared in the analyzer 105 at the time of realizing the algorithm of drawing 11 and drawing 15 by hardware, and its example of a configuration.

[0106] In an analyzer 105, it has the test-result register TRR for reflecting a test result, the failure line address register FWD of N book which stores the line address of the detected failure

bit, and M failure train address registers FBT that store the failure train address as shown in drawing 17. By the method which permutes a failure memory cell not per memory train unit but per block, it considers as the register which stores the number (it corresponds to the bit position of data) of a failure block instead of the failure train address register FBT.

[0107] The above-mentioned test-result register TRR consists of four bits, "PF", "FX", "FY", and "OVER." The group of a failure register writes in the "PF" bit, and are ending (logic "1") or empty, or (logic "0") that updating of the failure line register FWD is possible for the "FX" bit ("0"), or prohibition ("1") -- that updating of the failure train register FBT is possible for the "FY" bit ("0"), or prohibition ("1") -- the "OVER" bit -- relief -- being possible ("0") -- being impossible ("1") -- it expresses.

[0108] The example of a configuration of the test-result register TRR in case drawing 18 has 2 sets of failure line address registers FWD1 and FWD2 and 2 sets of failure train address registers FBT1 and FBT2 is shown. Failure [the 1st set of] register writes in the "PF1" bit, and are ending ("1") or empty, or ("0") Failure [the 2nd set of] register writes in the "PF2" bit, and are ending ("1") or empty, or ("0") That updating of 1 Motome's failure line address register FWD1 is possible for the "FX1" bit ("0"), or prohibition ("1") That updating of 2 Motome's failure line address register FWD2 is possible for the "FX2" bit ("0"), or prohibition ("1") That updating of 1 Motome's failure train address register FBT1 is possible for 1 bit of FY(s) ("0"), or prohibition ("1") that updating of 2 Motome's failure train address register FBT2 is possible for the "FY2" bit ("0"), or prohibition ("1") -- the "OVER" bit -- relief -- being possible ("0") -- being impossible ("1") -- it expresses. The above-mentioned configuration is an example and it is possible for the configuration of the test-result register TRR also except the above.

[0109] Drawing 19 shows the concrete example of a circuit of the analyzer 105 which has the registers TRR, FWD, and FBT shown in drawing 17. The multi-bit error signal of the non-inverter which shows the existence of the multi-bit error to which the mask signal which shows the propriety of actuation of the circuit to which MASK is supplied from said pattern compressor 101 in drawing, the error-detection signal which shows the existence of an error to which FAIL is supplied from said compressor 104, MBEN, and MBEP are supplied from said compressor 104, and opposition, and RMT are the RAM macro cell failure signals showing the existence of failure in each cycle outputted to a compressor 106 from an analyzer 105.

[0110] As shown also in this drawing, in this example, the condition of four bits of "PF", "FX", "FY", and "OVER" which constitute the test-result register TRR is set up based on the error detection signal RMT, the multi-bit error signals MBEN and MBEP, etc. which show mask signal MASK and existence. Moreover, although only every one flip-flop with which the failure line address register FWD and the failure train address register FBT constitute it is not typically shown by drawing 19, respectively, M registers with which this flip-flop serves as a register N book which consists of n pieces from m pieces in fact are prepared in it.

[0111] And line address XADR when an error is detected by the comparator 103 is stored in the failure line address register FWD as a failure line address, and the train address YADR (or block number) when an error is detected by the comparator 103 is stored in the failure train address register FBT as the failure train address (failure block number). Furthermore, storing of the failure address according to said algorithm is performed in the logical circuit section 500.

[0112] In addition, it connects with the scanning pass 510, respectively, and enables it to read the bit of the above "PF", "FX", "FY", and "OVER" to the chip exterior in the information on each bit through this scanning pass 510. Moreover, although not illustrated, the failure line address register FWD and the failure train address register FBT are also connected to the scanning pass 510, and read-out also of the address stored in the above-mentioned failure line address register FWD and the failure train address register FBT through this scanning pass 510 is made possible in the chip exterior.

[0113] The failure information read to the chip exterior is passed to for example, laser repair equipment, and laser repair equipment cuts the fuse prepared in the chip based on the failure information, and performs the replacement with a memory line etc. and permutation memory line including failure, a permutation memory train, or a permuted block. However, while preparing the change circuit which contains nonvolatile memory instead of a fuse, it is also possible to

establish the self-correction circuit which determines a permutation memory line etc. according to the algorithm mentioned above, and performs a setup in the above-mentioned change circuit in the interior of a chip, and to constitute so that detection and correction of failure can be made automatically.

[0114] Drawing 20 expresses the state transition diagram shown by each bits PF, FX, and FY of the test-result register TRR in the above-mentioned analyzer 105, and change of OVER. The inside MBE of drawing means that the multi-bit error was detected, i.e., the MBE signal was asserted. Moreover, a operator and the notation "=" of a notation "!", "&", and "|" are condition children, respectively, in a logical NOT and "&", an AND and "|" mean an OR and "=" means ["!"] "condition coincidence." In addition, a priority of operation is |<&<!. It means that the detected failure block number (or the train address YADR) of FBM corresponds with the value of the failure train address register FBT that detected failure line address XADR of FWM corresponds with the value of the failure line address register FWD.

[0115] Furthermore, in drawing 20, the sign "A" means that the actuation which stores in the failure train address register FBT the block number DBT (or the train address YADR) into which the actuation which stores in the failure line address register FWD line address XADR then inputted into the analyzer 105 is then inputted accompanies, and a sign "C" is performed. In addition, it expresses that a notation "*" is omissible actuation.

[0116] If this example is followed as mentioned above, the information on the propriety of relief, remedy, and the relief address can be acquired from the value of the test-result register TRR. Table 13 shows an example of the relation between the value of the test-result register TRR, and the contents of relief determined from the value about RAM of 512 words and 2 k word. In addition, in front Naka, it is the semantics of not processing a permutation etc. even if the address is stored in the register which corresponds saying "it does not guarantee" at the time of test termination. This decision is made by the external device, when for example, an LSI circuit tester and laser repair equipment read the value of the test-result register TRR.

[0117]

[Table 13]

#	テスト結果ビット				状態及び救済方法			
	PF1	FX1	FY1	OVER	状態	救済方法	テスト終了時の FWD の値	テスト終了時の FBT の値
1	0	0	0	0	全ビット良品	不要	レジスタ初期値	レジスタ初期値
2	1	0	0	0	救済可能	ワード救済もしくは ブロック救済	救済ワード	救済ブロック
3	1	1	0	0	救済可能	ワード救済	救済ワード	保証しない
4	1	0	1	0	救済可能	ブロック救済	保証しない	救済ブロック
5	1	1	1	0	救済可能	ワード救済かつ ブロック救済	救済ワード	救済ブロック
6	1	1	0	1	救済不可能		保証しない	保証しない
7	1	1	1	1	救済不可能		保証しない	保証しない

Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned example, and does not deviate from the summary. For example, although the memory array which consisted of above-mentioned examples so that the permutation for relieving the failure memory train which the permutation of the failure memory line containing a failure bit is a memory line unit, and contains a failure bit might be performed per a memory train unit or block was explained, also constituting is also possible so that the failure memory line containing a failure bit may be permuted per block, and this invention can apply also in such a case.

[0118] Although the above explanation explained the case where it applied to the semiconductor integrated circuit which contained RAM which is the field of the invention which became that background about invention mainly made by this invention person, this invention is not limited to it and can be used also for the semiconductor integrated circuit which contained other memory.

such as ROM or EPROM.

[0119]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0120] That is, in the semiconductor integrated circuit equipped with the test circuit of the internal memory concerning this invention, information, such as a failure memory cell, the failure line Rhine address, the failure train Rhine address, and remedy, can be acquired, and the yield of a chip can be sharply improved using such information.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the outline configuration of one example of the self-check circuit of the memory array concerning this invention.

[Drawing 2] It is the block diagram showing the example of a block configuration in the memory array of an example.

[Drawing 3] It is the block diagram showing the example of a configuration of a pattern generator.

[Drawing 4] It is the explanatory view showing the example of a configuration of the microinstruction of the control section of a pattern generator.

[Drawing 5] It is the flow chart which shows the instruction-execution sequence of microinstruction.

[Drawing 6] It is the block diagram showing the relation between the address-data arithmetic circuit of a pattern generator, and the circuit of order.

[Drawing 7] It is the explanatory view showing the function of an address scramble circuit.

[Drawing 8] It is the block diagram showing the joint relation between the example of a configuration and memory array of the register for test range selections, or a comparator.

[Drawing 9] It is the block diagram showing the example of a configuration of a comparator and a compressor.

[Drawing 10] It is the block diagram showing the example of a configuration of an encoder multi-bit detector.

[Drawing 11] It is the flow chart which shows the renewal algorithm of failure information in the single bit error detection in this invention.

[Drawing 12] It is the explanatory view showing the write-in situation of the failure address to the test-result register and relief address register according to the renewal algorithm of failure information in the single bit error detection in this invention.

[Drawing 13] It is the explanatory view showing the write-in situation of the failure address to the test-result register and relief address register according to the renewal algorithm of failure information in the single bit error detection in this invention.

[Drawing 14] It is the explanatory view showing the write-in situation of the failure address to the test-result register and relief address register according to the renewal algorithm of failure information in the single bit error detection in this invention.

[Drawing 15] It is the flow chart which shows the renewal algorithm of failure information in the multi-bit error detection in this invention.

[Drawing 16] It is the explanatory view showing the write-in situation of the failure address to the test-result register and relief address register according to the renewal algorithm of failure information in the multi-bit error detection in this invention.

[Drawing 17] It is the explanatory view showing the example of a configuration of the test-result register in an analyzer, and a relief address register.

[Drawing 18] It is the explanatory view showing other examples of a configuration of the test-result register in an analyzer, and a relief address register.

[Drawing 19] It is the circuit diagram showing the example of a configuration of an analyzer.

[Drawing 20] It is the state transition diagram showing change of the control state in an analyzer.

[Description of Notations]

101 Pattern Generator

102 Memory Array

103 Comparator

104 Compressor

105 Analyzer

106 Compressor

107 Register for Test Range Selections

202 Program Counter

203 Microinstruction Register

220 Address Scramble Circuit

221 Address-Data Arithmetic Circuit

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

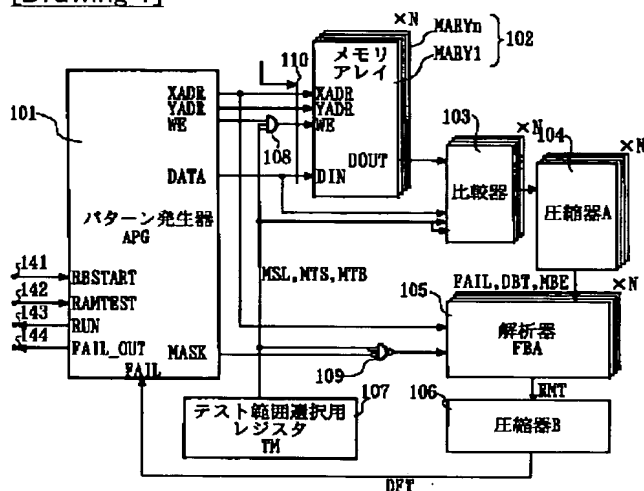
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

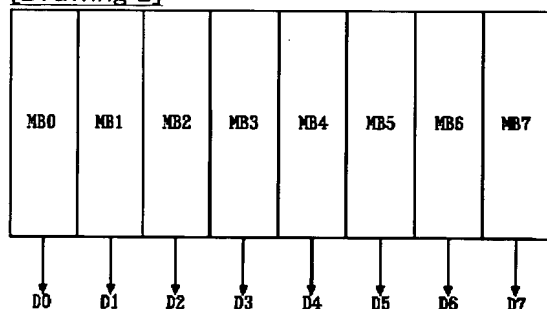
3.In the drawings, any words are not translated.

DRAWINGS

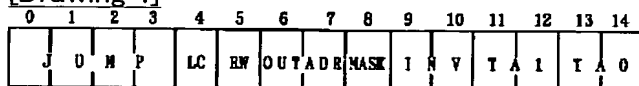
[Drawing 1]



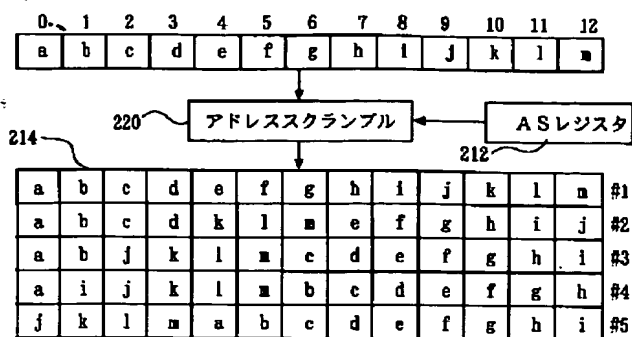
[Drawing 2]



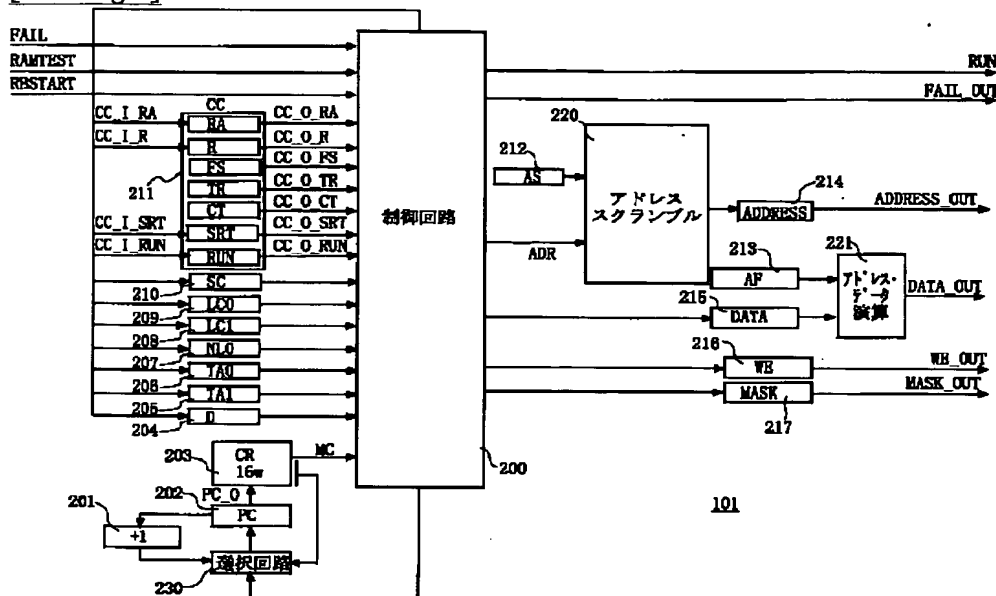
[Drawing 4]



[Drawing 7]



[Drawing 3]



[Drawing 5]

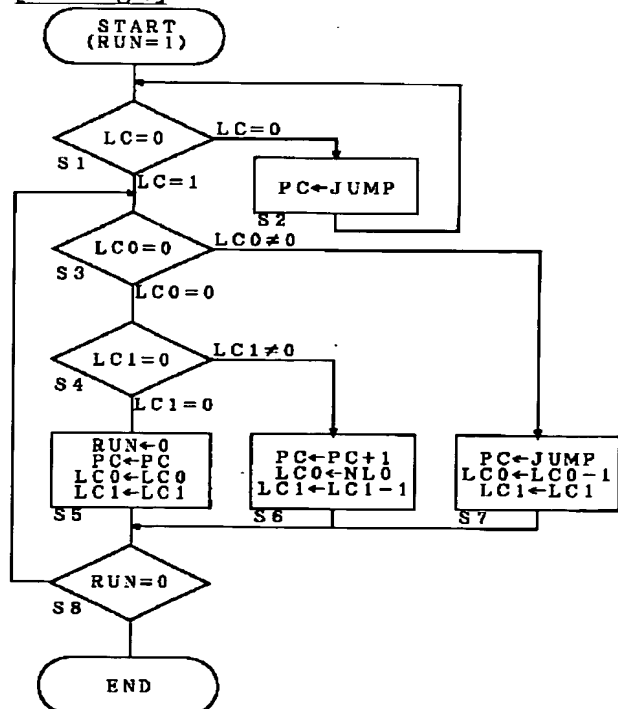
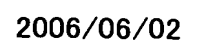


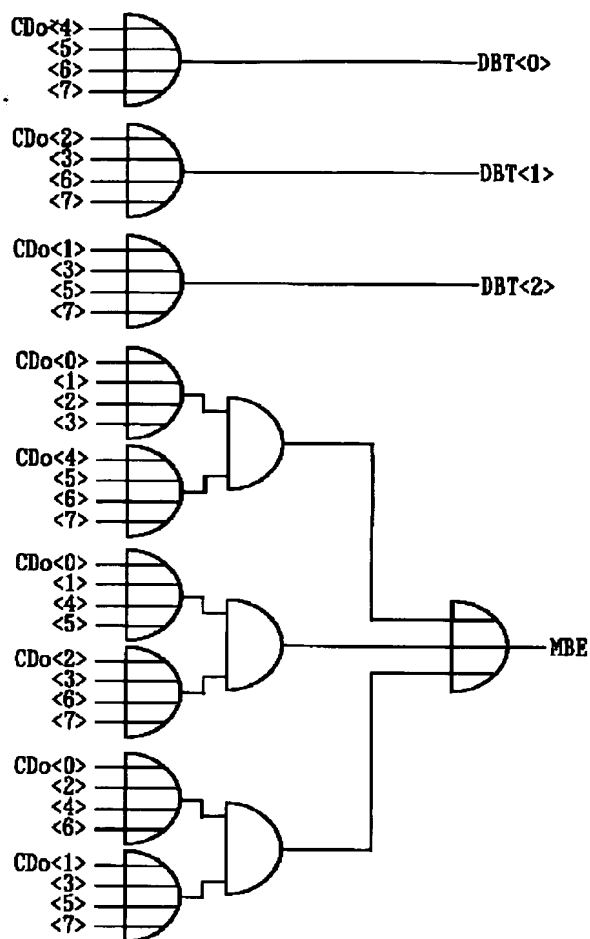
Figure 1 is a block diagram of the system architecture. At the top, there are three registers: ADDRESSレジスタ (214), DATAレジスタ (215), and APレジスタ (213). The ADDRESSレジスタ (214) outputs two signals, YY and XX. The DATAレジスタ (215) outputs a signal labeled DATA. The APレジスタ (213) outputs a signal to a block labeled 演算回路 (221). The 演算回路 (221) also receives the DATA signal from the DATAレジスタ and outputs a signal labeled Data OUT. A dashed horizontal line separates the upper register section from the lower processing section. Below the line, the YY signal is connected to a block labeled 列(Y)デコーダ. The XX signal is connected to a block labeled 行(X)デコーダ. The Data OUT signal from the 演算回路 (221) is connected to a block labeled カラムスイッチ. The 列(Y)デコーダ and 行(X)デコーダ are connected to a block labeled メモリアレイ. The カラムスイッチ and メモリアレイ are grouped together by a bracket labeled MARY.

Figure 1 illustrates the structure of the input data for the proposed algorithm. The input is represented as a sequence of four blocks: PF, FX, FY, and OVER, indexed 0, 1, 2, and 3 respectively. Below this, a sequence of blocks labeled FWD is shown, indexed from 0 to n, with a multiplier $\times N$ indicating repetition. Similarly, a sequence of blocks labeled FBT is shown, indexed from 0 to m, with a multiplier $\times M$ indicating repetition.

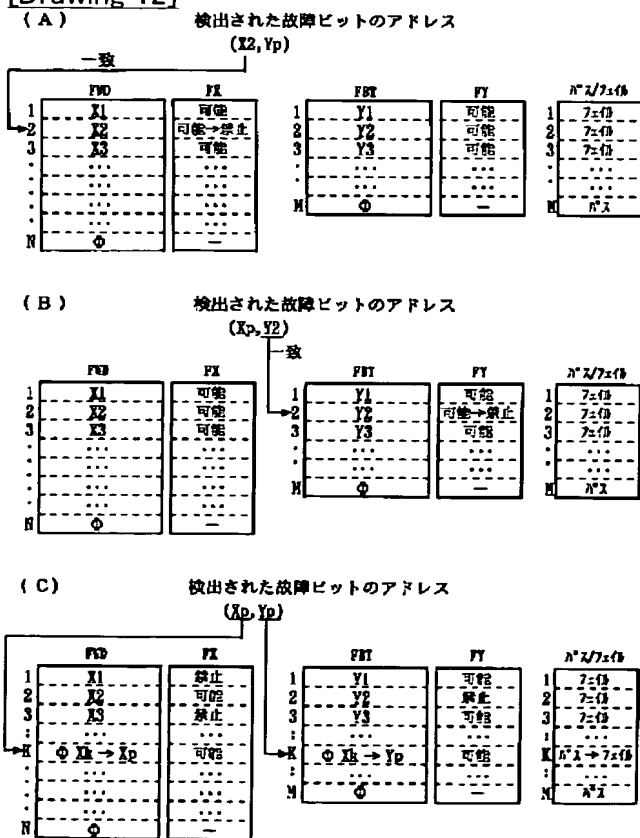
[illegible]

[Drawing 9]





[Drawing 12]

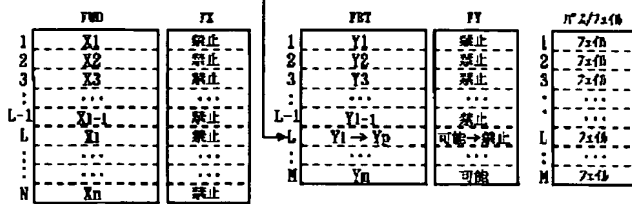


[Drawing 14]

(G)

検出された故障ビットのアドレス

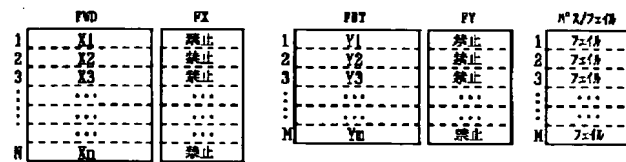
(Xp, Yp)



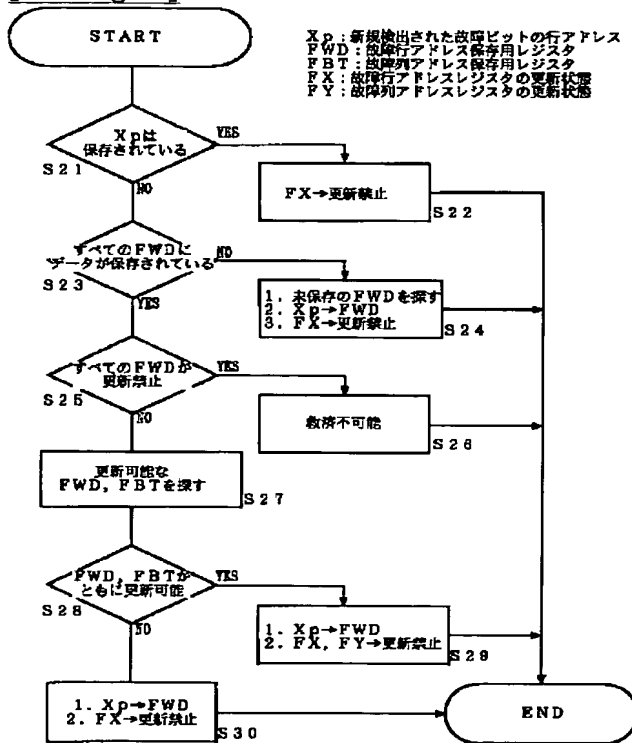
(H)

検出された故障ビットアドレス

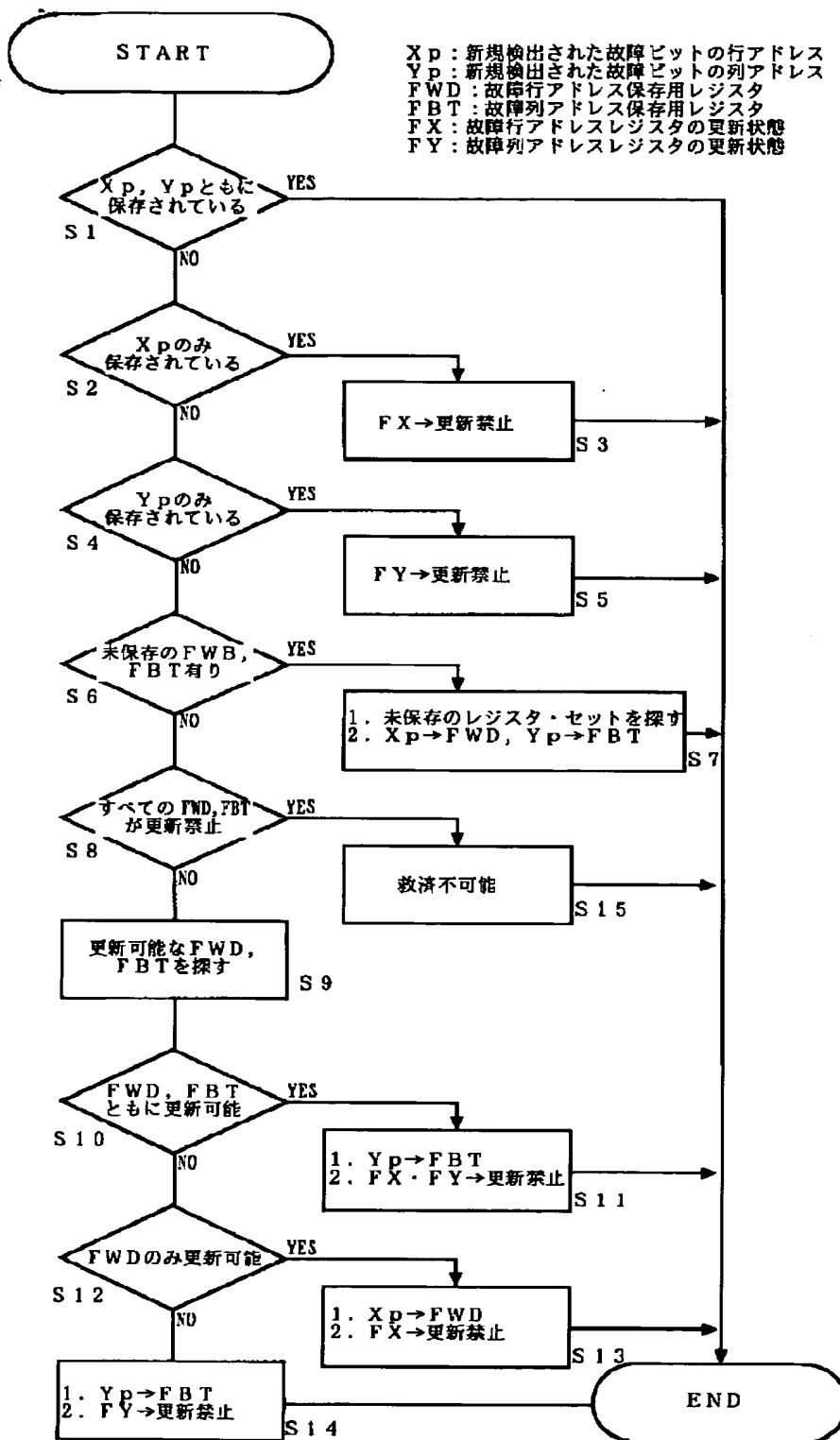
(Xp, Yp)



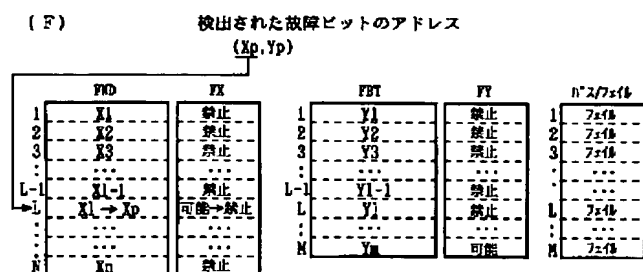
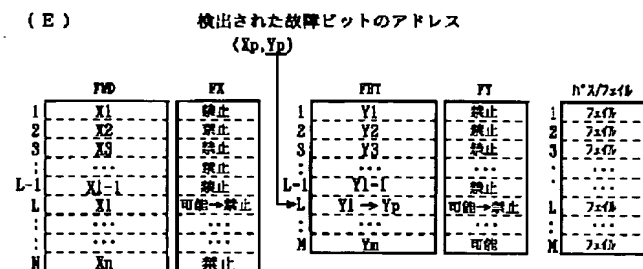
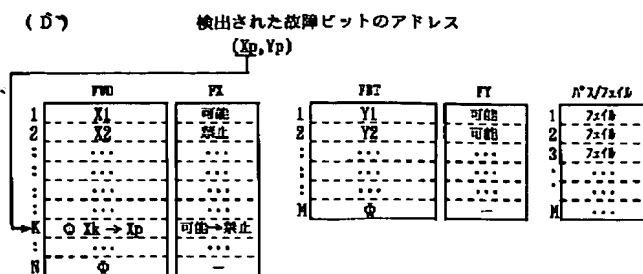
[Drawing 15]



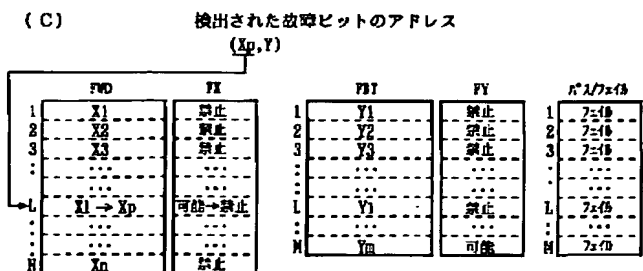
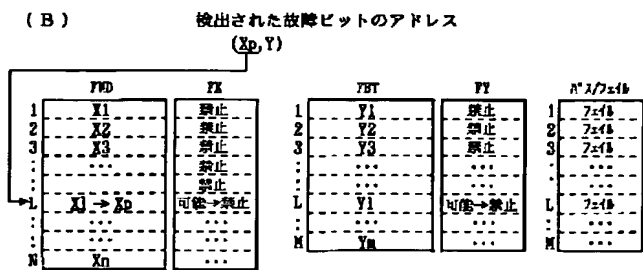
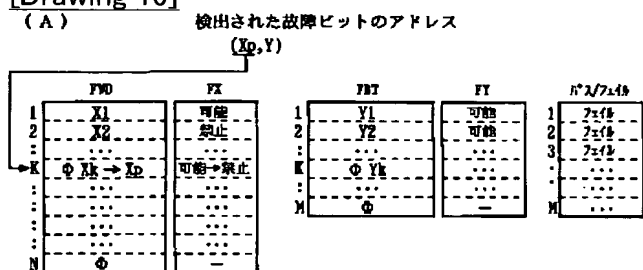
[Drawing 11]



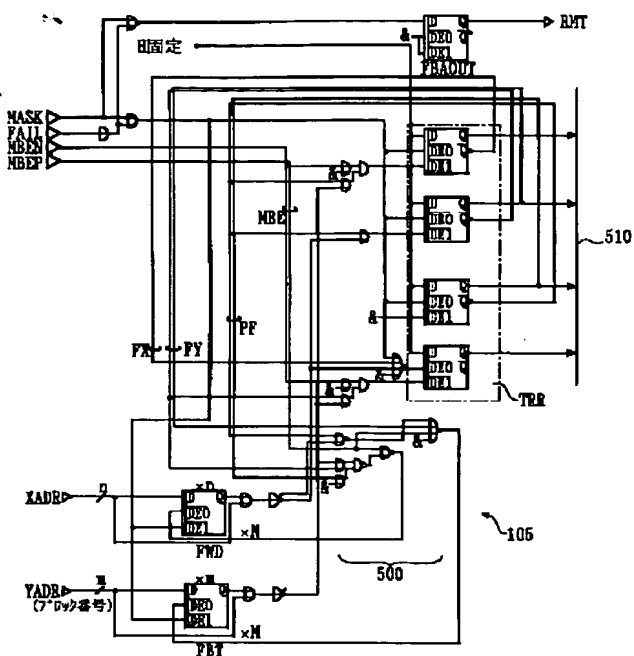
[Drawing 13]



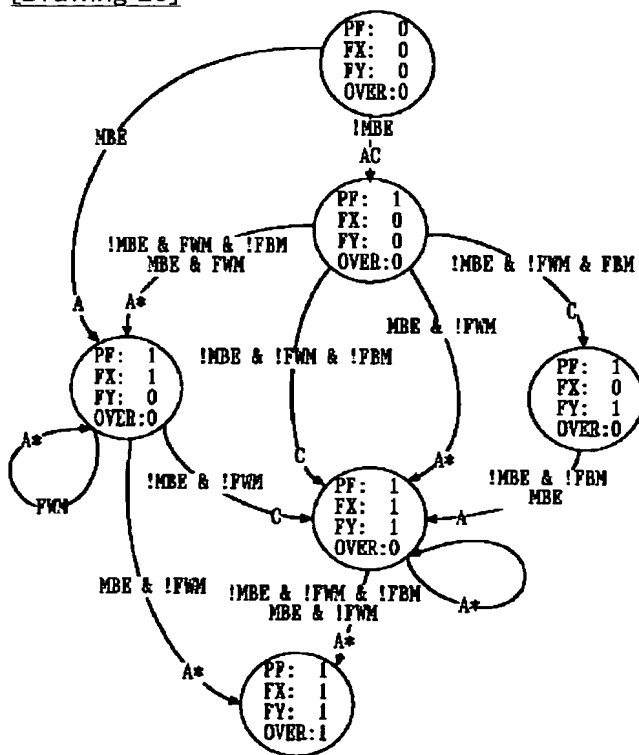
[Drawing 16]



[Drawing 19]



[Drawing 20]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-43698

(P2001-43698A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 B 2 G 0 3 2
	6 5 5		6 5 5 S 5 B 0 0 5
G 0 1 R 31/28		G 0 6 F 11/22	3 1 0 F 5 B 0 1 8
G 0 6 F 11/22	3 1 0		3 5 0 F 5 B 0 4 8
	3 5 0		3 6 0 A 5 F 0 3 8

審査請求 未請求 請求項の数 8 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願平11-219624

(22) 出願日 平成11年8月3日 (1999.8.3)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中原 茂

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 西山 雅彦

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100085811

弁理士 大日方 富雄

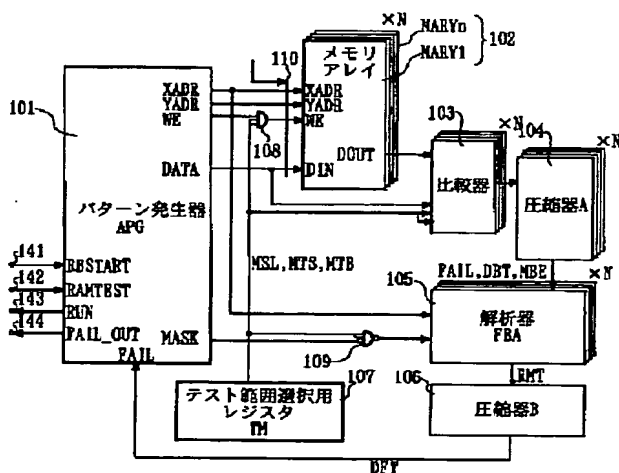
最終頁に続く

(54) 【発明の名称】 内蔵メモリアレイの自己検査回路および自己検査方法

(57) 【要約】 (修正有)

【課題】 救済用の置換メモリ行および置換メモリ列を持つ2次元救済方式のメモリアレイの自己テスト回路において、少ないハードウェアで高い救済効率を実現するための手法を提供する。

【解決手段】 テストアドレスを発生するアドレス生成手段101と、メモリアレイ (102, MARY) に書き込むテストデータ生成手段101と、メモリアレイから読み出されるデータに対する期待値生成手段101と、メモリアレイから読み出されたデータと期待値との比較手段103と、検出された故障行アドレスと故障列アドレスの故障アドレス記憶手段と、上記故障アドレス記憶手段の更新が可能か否かを表す第1の状態記憶手段と、故障アドレス記憶手段に対する書き込みの有無を表す第2の状態記憶手段と、上記比較手段におけるデータ比較結果と上記第1及び第2の状態記憶手段の内容とから次の制御状態を決定する制御手段105とを設けるようにした。



【特許請求の範囲】

【請求項1】 故障ビットを含む故障メモリ行を救済するための複数の置換メモリ行もしくは置換ブロックと、故障ビットを含む故障メモリ列を救済するための複数の置換メモリ列もしくは置換ブロックとを備えたメモリアレイを有する半導体集積回路において、

テストアドレスを発生するアドレス生成手段と、メモリアレイに書き込むテストデータを発生するテストデータ生成手段と、メモリアレイから読み出されるデータに対する期待値を発生する期待値生成手段と、メモリアレイから読み出されたデータと期待値とを比較する比較手段と、検出された故障行アドレスと故障列アドレスを記憶するための故障アドレス記憶手段と、上記故障アドレス記憶手段の更新が可能か否かを表す第1の状態記憶手段と、故障アドレス記憶手段に対する書き込みの有無を表す第2の状態記憶手段と、上記比較手段におけるデータ比較結果と上記第1及び第2の状態記憶手段の内容とから次の制御状態を決定する制御手段とを備えたことを特徴とする内蔵メモリアレイの自己検査回路。

【請求項2】 上記置換メモリ行もしくは置換ブロックと置換メモリ列もしくは置換ブロックによる救済が可能か不可能かを示す第3の状態記憶手段を備え、上記制御手段は上記比較手段におけるデータ比較結果と上記第1、第2及び第3の状態記憶手段の内容とから次の制御状態を決定するように構成されていることを特徴とする請求項1に記載の内蔵メモリアレイの自己検査回路。

【請求項3】 少なくとも上記故障アドレス記憶手段と上記第1及び第3の状態記憶手段は、その内容を外部から読み出し可能に構成されていることを特徴とする請求項2に記載の内蔵メモリアレイの自己検査回路。

【請求項4】 上記メモリアレイが複数のメモリブロックからなり同一入力アドレスに対し各メモリブロックから1ビットずつ同時にデータが読み出されるように構成されている場合に、複数のメモリブロックの同一アドレスに故障が存在することを検出する手段を備えていることを特徴とする請求項1、2または3に記載の内蔵メモリアレイの自己検査回路。

【請求項5】 ワード・ビット構成の異なる複数のメモリアレイを備えた半導体集積回路に内蔵される自己検査回路であって、上記アドレス生成回路において生成されたアドレスの上位ビット群と下位ビット群をビット入れ替えする操作手段を有することを特徴とする請求項1、2、3または4に記載の内蔵メモリアレイの自己検査回路。

【請求項6】 請求項1～5に記載の内蔵メモリアレイの自己検査回路において、テストを列アドレスに沿った方向に行い、故障を検出した場合に、故障アドレスが、記憶済みの故障行アドレスレジスタと故障列アドレスレジスタのうちどちらか一方の内容と一致した場合は、そのレジスタを更新禁止とし、

新たなアドレスに対する故障の場合は、空の故障アドレスレジスタへその故障行アドレスと故障列アドレスを同時に記憶し、

既に故障行アドレスレジスタと故障列アドレスレジスタが一杯の場合は、更新可能なアドレスレジスタに対し、故障列アドレスを故障列アドレスレジスタに保存し、同レジスタと対応する故障行アドレスレジスタを更新禁止とし、

全ての故障アドレスレジスタが更新禁止の場合は、救済不可能とすることを特徴とする内蔵メモリアレイの自己検査方法。

【請求項7】 複数のメモリブロックの同一アドレスに対する故障を検出した場合、検出した故障を行ライン欠けとみなし、当該故障行アドレスを故障行アドレスレジスタに保存することを特徴とする請求項6に記載の内蔵メモリアレイの自己検査方法。

【請求項8】 メモリアレイから読み出されるデータに対する期待値を発生する期待値生成手段は、テストデータを発生するテストデータ生成手段により生成された書き込みデータを反転した値を期待値として出力するとともに、メモリアレイから読み出されたデータと期待値とを比較する比較手段の直前で上記期待値を再反転して比較手段に入力することを特徴とする請求項6または7に記載の内蔵メモリアレイの自己検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に組み込まれる自己検査回路、更には、故障時の救済用置換メモリ行と置換メモリ列または置換メモリブロックを備えたメモリアレイの自己検査回路に関し、特に自己テストデータの作成方法と救済方法の自己生成アルゴリズムまたはそれを実現するハードウェアに関するものである。

【0002】

【従来の技術】半導体集積回路の高集積化並びに大規模化に伴い、1つの半導体チップに内蔵されるメモリアレイの記憶容量が増加するとともにメモリアレイの数も増加する傾向がある。かかる半導体集積回路において、欠陥のあるメモリセルをあらかじめ用意しておいた救済用置換メモリ行もしくは救済用置換メモリ列と置き換え、チップの歩留まりを向上させる手法は良く知られている。同手法は冗長救済ともよばれ、前記救済用置換メモリ行や救済用置換メモリ列を複数用意したり、メモリ行やメモリ列の置換を複数行または複数列単位で行なったり、あるいは故障メモリ列の置換をメモリブロック単位で行う等、メモリアレイの記憶容量や搭載数、システムのコスト、適用するプロセス・加工技術により様々な手法が存在する。

【0003】

【発明が解決しようとする課題】冗長救済のため、欠陥

のあるメモリセルを特定するテストについても、新たな問題が浮上している。メモリアレイのテストでは、メモリセルのテストアドレスやメモリセルに書き込むデータ、読み出し／書き込みを特定するなどの制御信号、テスト結果を判定するための読み出しデータ等を、メモリアレイが搭載されたチップに外部から与えたり、取り出したりするための手段（例えばテストと呼ばれる装置）が必要であるが、物理的にチップに付加できる入出力ピン数には制限があり、回路設計者・試験者が望む十分なテストが困難となる。また、高性能チップにおいては、被測定対象であるチップとテストとを接続する転送ラインのインピーダンス等が障害となり、性能に合わせた高いスループットで外部からテストデータを供給できないという問題もある。

【0004】このようなテスト充分性、リアルタイム性の問題に対する解決手段もまた良く知られている所であり、例えば前記テストを実現するための回路をチップ内に埋め込むいわゆる組込み自己テスト（BIST）、アレイ組込み自己テスト（ABIST）と呼ばれている手法がある。

【0005】アレイ組込み自己テストシステムの実現方法は様々であるが、代表的なものは、テストアドレスを発生する手段と、メモリに書き込むテストデータを発生する手段と、メモリから読み出すデータに対する期待値を発生する手段と、前記の2つのデータを比較する手段と、比較の結果不一致となったメモリセルのアドレス（故障アドレス）を保存する手段およびこれらを制御する手段とから構成される。

【0006】組込み自己テストを実現する場合、その本来の目的から、次の3つの項目が重要と考えられる。即ち、救済効率、回路規模、テスト所要時間である。検出できる故障の種類や救済可能な故障の検出率、即ち救済効率を上げるとは、当然のことながらチップの歩留まり向上につながる。また、組込み自己テスト回路の回路規模により、チップ面積の増大や消費電力等のチップ性能に問題が生じてはならない。

【0007】しかしながら、例えば、組込み自己テスト回路の回路規模を最小に抑えたため、本来一回のメモリ走査で検出できた救済可能な故障が、救済可能と判定するために複数のメモリ走査を要する場合も発生する。この種の故障の故障全体に占める割合が十分に小さければ、故障全体の救済効率を下げることはないので、救済不可能な故障と判定されても問題はないが、故障がメモリにおける単一行ライン欠けや列ライン欠けのように、全体の救済効率に大きく影響するような場合の救済は不可欠である。そのため、複数回のメモリ走査が必要となり全体のテスト所要時間が大きく増加してしまうという問題がある。

【0008】従来技術のBIST実現例の一つとして、例えば特開平6-342040号公報や特開平8-26

2116、特願平4-240390号公報などが挙げられる。特開平6-342040号公報では、BISTを実現するための更なる基本的な発明や、BIST技術の背景を説明するための文献なども紹介されている。特開平8-262116号公報は、異なるタイプのメモリを複数搭載したチップに対する同時テスト手法を提案している。これらの特許においては一次元の故障アドレスレジスタが用いられている。即ち、一次元の救済ラインの置換を行うアレイ組込み自己テスト回路についてのみしか言及されていない。

【0009】特願平4-240390号公報では、2次元冗長ラインのリアルタイムテストでの振り分け方法について述べている。しかしながら、同公報で示される方法は、故障列ラインアドレスを最初に記憶することが必要であり、本来救済可能な故障パターンを救済できない場合が生じる。

【0010】また、実際のメモリでは複数の入出力データに対応して、内部が複数のメモリブロックに分割されている。例えば、データ幅18ビットのメモリにおいては、メモリアレイは18個のメモリブロックで構成されている。前述の公報に記載されている発明では、メモリアレイにおける複数のメモリブロックの同時テスト方法に関し、なんら言及がされていない。

【0011】本発明は、半導体集積回路に組み込まれる自己検査回路における上記問題点を解決するためになされたもので、特に2次元の救済方式のメモリアレイを備えた半導体集積回路に組み込まれる自己検査回路において、少ないハードウェアで高い救済効率を実現するための一般化した手法を提供することを目的とする。

【0012】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0014】すなわち、故障ビットを含む故障メモリ行を救済するための複数の置換メモリ行もしくは置換ブロックと、故障ビットを含む故障メモリ列を救済するための複数の置換メモリ列もしくは置換ブロックとを備えたメモリアレイを有する半導体集積回路において、テストアドレスを発生するアドレス生成手段と、メモリアレイに書き込むテストデータを発生するテストデータ生成手段と、メモリアレイから読み出されるデータに対する期待値を発生する期待値生成手段と、メモリアレイから読み出されたデータと期待値とを比較する比較手段と、検出された故障行アドレスと故障列アドレスを記憶するための故障アドレス記憶手段と、上記故障アドレス記憶手段の更新が可能か否かを表す第1の状態記憶手段と、故障アドレス記憶手段に対する書き込みの有無を表す第2

10

20

30

40

50

の状態記憶手段と、上記比較手段におけるデータ比較結果と上記第1及び第2の状態記憶手段の内容とから次の制御状態を決定する制御手段とを設けるようにしたものである。

【0015】また、望ましくは上記置換メモリ行もしくは置換ブロックと置換メモリ列もしくは置換ブロックによる救済が可能か不可能かを示す第3の状態記憶手段を設け、上記制御手段は上記比較手段におけるデータ比較結果と上記第1、第2及び第3の状態記憶手段の内容とから次の制御状態を決定するように構成する。これによ

って、少ないハードウェアで高い救済効率を実現することができるようになる。

【0016】さらに、少なくとも上記故障アドレス記憶手段と上記第1及び第3の状態記憶手段は、その内容を外部から読出し可能に構成する。これによって、外部のテストもしくはレーザーリペア装置などは救済が可能か並びに救済方法を容易に知ることができる。

【0017】また、上記メモリアレイが複数のメモリブロックからなり同一入力アドレスに対し各メモリブロックから1ビットずつ同時にデータが読み出されるように構成されている場合に、複数のメモリブロックの同一アドレスに故障が存在することを検出する手段を設ける。これによって、そのような故障に対する救済用置換メモリ行の決定が容易になるとともに救済効率が高くなる。

【0018】さらに、ワード・ビット構成の異なる複数のメモリアレイを備えた半導体集積回路に内蔵される自己検査回路の場合には、上記アドレス生成回路において生成されたアドレスの上位ビット群と下位ビット群をビット入れ替えする操作手段を設ける。これによって、メモリアレイ毎にアドレス生成回路を設ける必要がなくなり、自己検査回路の簡素化が可能になる。

【0019】さらに、内蔵メモリアレイの自己検査回路において、テストを列アドレスに沿った方向に行い、故障を検出した場合に、故障アドレスが、記憶済みの故障行アドレスレジスタと故障列アドレスレジスタのうちどちらか一方の内容と一致した場合は、そのレジスタを更新禁止とし、新たなアドレスに対する故障の場合は、空の故障アドレスレジスタへその故障行アドレスと故障列アドレスを同時に記憶し、既に故障行アドレスレジスタと故障列アドレスレジスタが一杯の場合は、更新可能なアドレスレジスタに対し、故障列アドレスを故障列アドレスレジスタに保存し、同レジスタと対応する故障行アドレスレジスタを更新禁止とし、全ての故障アドレスレジスタが更新禁止の場合は、救済不可能とする。これによって、少ないハードウェアで高い救済効率を実現することができるようになる。

【0020】また、望ましくは、複数のメモリブロックの同一アドレスに対する故障を検出した場合、検出した故障を行ライン欠けとみなし、当該故障行アドレスを故障行アドレスレジスタに保存し、更新不可能に設定す

る。これによって、そのような故障に対する救済用置換メモリ行の決定が容易になるとともに救済効率が高くなる。

【0021】さらに、メモリアレイから読み出されるデータに対する期待値を発生する期待値生成手段は、テストデータを発生するテストデータ生成手段により生成された書込みデータを反転した値を期待値として出力するとともに、メモリアレイから読み出されたデータと期待値とを比較する比較手段の直前で上記期待値を再反転して比較手段に入力させるようにする。これにより、回路の構成上、期待値比較の際に期待値とメモリアレイ読み出しデータが本当に一致したのか、あるいは期待値がメモリアレイを素通りしてあたかも期待値が一致したように見えているのか区別が付かない場合にも、正確な比較結果を得ることができるようになる。

【0022】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0023】図1は本発明に係るメモリアレイの自己検査回路の一実施例の概略構成図である。

【0024】本実施例の自己検査回路が搭載された半導体チップ上には、メモリブロックの数すなわち入出力データビット幅やワード・ビット構成等の異なる複数のメモリアレイ(MARY1~MARYn)102が搭載されている。本実施例は、例えば通常のマイクロプロセッサチップに適用されるもので、各々のメモリアレイMARYi(i=1~n)は、各マイクロプロセッサの仕様に応じて、例えば命令キャッシュやデータキャッシュ、仮想記憶におけるタグアドレスが格納されるTAGキャッシュ、論理アドレスと物理アドレスの変換テーブル格納用のメモリ等に利用される。

【0025】なお、この実施例で、メモリブロックとは入出力ビット数を規準にしたブロックのことである。具体的には、例えばメモリアレイの入出力データビット幅すなわち1回にリード・ライトされるデータのビット数が8ビットの場合を例にとると、図2に示すように、当該メモリアレイMARYiに割り当てられたすべてのアドレスによって読み出されるデータの各ビットD0、D1、……D7がそれぞれ格納されているメモセルの集まりを指す。図2においては、MB0、MB1、……MB7がそれぞれメモリブロックである。各メモリブロックのワード・ビット構成は、1つのメモリアレイでは共通であるが、メモリアレイが異なれば例えばブロック数が8で512バイトのメモリアレイの場合には512ワード×1ビットあるいは64ワード×8ビット、32ワード×16ビット、16ワード×32ビットのように任意の構成を採ることができる。

【0026】各メモリアレイには、それぞれ救済用置換メモリ行と置換メモリ列を設け2次元救済方式を採用している。救済用置換メモリ行と置換メモリ列の数はそれ

それぞれ任意であり、置換メモリ列に関しては列単位ではなくブロック単位での置換を行なうようにしてもよく、本実施例の各メモリアレイには救済用置換ブロックが用意されている。さらに、本実施例においては、それぞれ救済用置換メモリ行と救済用置換ブロックが設けられているメモリアレイ（以下、これをメモリマットと称する）が複数個集まって1つのメモリアレイを構成しているものもある。

【0027】1つのチップ上に搭載されるメモリアレイ

メモリ タイプ	ブロック構成			ブロック 数	マット数	行方向救済方法		列方向救済方法	
	ワード数	行 アドレス	列 アドレス			救済方法	救済数	救済方法	救済数
TYPE1	512 ワード	6ビット	3ビット	14ビット	2	行方向4本単位で置換	1	10ブロック救済 (全マット一括置換)	1
TYPE2	32ワード	5ビット	なし	27ビット	8	-	0	-	0
TYPE3	2kワード	7ビット	4ビット	8ビット	4	行方向4本単位で置換	1	10ブロック救済 (全マット一括置換)	1
TYPE4	8kワード	9ビット	4ビット	36ビット	2	行方向4本単位で置換	2	10ブロック救済 (全マット一括置換)	2

表1において、全マット一括置換とは、どれか一つのメモリマットだけに故障がありそれをブロック置換で救済することとしたときには、全メモリマットのメモリブロックを故障のあるメモリマットと同じように置換することを意味する。このような置換方式としたのは、例えば1つのメモリアレイが2つのメモリマットで構成されている場合に、救済アドレスの設定を左右のメモリマットに対して別々に行なえるようにする回路はその構成が複雑になる一方、両方のメモリマットで故障が発生する確率は低いので救済アドレスの設定を左右のメモリマットに対して別々に行なえるように構成するまでもないからである。そこで、この実施例では、設計時のメリットを重視して、全マットを一括して置換する方式の回路を採用した。従って、この実施例では、メモリマット毎に異なるメモリブロックの救済は出来ないが、救済アドレス本数を減らして、必要な故障アドレスレジスタ数を削減することができる。

【0029】また、図1には特に明記はされていないが、本実施例のシステムは単一のクロックに同期して動作するように構成されている。従って、クロックと同期して動作する回路ブロックには、暗黙のうちにクロックが分配されているものとする。なお、本発明の本質からすると、非同期システムに対しても適用が可能であることはいふまでもない。

【0030】図1において、101はパターン発生器（APG）で、このパターン発生器101は、外部端子141、142から入力される自己テスト開始信号RSTARTとRAMテスト開始信号RATESTおよび後述するパターン発生器内の各モードレジスタの値に従

の品種数、搭載数は本実施例になんら束縛されるものではないが、より具体的な説明のため、本実施例では、種類が4つ、搭載可能なメモリアレイ数が127であるとす。本実施例において搭載されるメモリアレイの種類（メモリタイプ）およびそれらの具体的仕様とそれぞれの冗長救済方式の例を表1に示す。

【0028】

【表1】

い、テスト用の行アドレスXADR、テスト用の列アドレスYADR、書き込みイネーブル信号WE、書き込みデータまたは期待値データDATA、マスク信号MASKを発生する。書き込みデータと期待値データDATAの信号ソースは共通であるが、後述する理由により、この実施例のパターン発生器101は対応するメモリアドレスに書き込んだデータと論理が反対のデータを期待値として出力する。マスク信号MASKは、ライト時等において第1の圧縮器104からのエラー検出信号FAILによる不良解析を禁止するための制御信号である。

【0031】107は、テストを行うメモリアレイ、メモリタイプ、メモリマット、メモリブロックを指定するために用いられるテスト範囲選択用レジスタである。108は書き込み選択回路で、この書き込み選択回路108において、書き込みイネーブル信号WEとテスト範囲選択用レジスタ107から出力されるメモリアレイ選択信号MSLおよびメモリ種別選択信号MTSとの論理積が取られ、テスト対象のメモリアレイへのみ書き込みイネーブル信号WEが選択、供給される。

【0032】110はマイクロプロセッサなどから供給される通常論理信号NMLと、上記パターン発生器101からのテスト用アドレス信号XADR、YADR、書き込み信号イネーブルWE、書き込みデータDATAとを選択するセレクトで、通常動作時には通常論理信号NMLが、またメモリテスト時にはXADR、YADR、WE、DATAが選択されて、テスト対象のメモリアレイに供給される。

【0033】パターン発生器101からの信号によりメモリアレイMARYに書き込まれたデータは、パターン

発生器 101 からの信号に従って読み出され、テスト範囲選択用レジスタ 107 から供給されるメモリマツト選択信号 MSL、メモリブロック選択信号 MBS で指定されるメモリマツトのメモリブロックについてのみ、比較器 103 にてパターン発生器 101 から出力される期待値データ DATA と比較される。比較器 103 での比較結果は第 1 の圧縮器 104 に入力される。

【0034】第 1 の圧縮器 104 では入力された比較結果に基づき、故障の有無を示す信号 FAIL と、不一致のあったメモリブロックのデータビット番号をエンコードした信号 DBN を解析器 (FBA) 105 に渡す。また、第 1 の圧縮器 104 では、複数のメモリブロックで不一致があるかどうかを検出し、不一致があったときは多ビットエラー信号 MBE を形成して解析器 105 へ伝える。

【0035】解析器 105 は上記圧縮器 104 からの情報と、パターン発生器 101 から入力される行アドレス XADR とから後述するアルゴリズムに従い、救済アドレスの保存や救済可否の判定、救済方法の決定をリアルタイムで行う。なお、比較器 103、圧縮器 104、解析器 105 はそれぞれ対応するメモリアレイ MARY の数だけ存在し、これらをあわせて各々 1 つの RAM マクロセルとして構成することは設計を簡易化する上で有効である。本実施例でも、これらはそれぞれ 1 つの RAM マクロセルであるとして説明を進める。

【0036】また、前記救済アドレスや救済可否、救済方法等の情報の更新は、パターン発生器 101 からのマスク信号 MASK がネゲート (無効化) された時、前述のテスト範囲選択用レジスタ 107 から出力されるメモリアレイ選択信号 MSL、メモリ種別選択信号 MTS で選択された RAM マクロセルでのみ行われる。この論理はマスク生成回路 109 が担当し、選択後のマスク信号 MASK が各 RAM マクロセルに分配される。解析器 105 からは、各サイクルでの故障の有無を表す RAM マクロセル故障信号 RMT が第 2 の圧縮器 106 へ出力される。

【0037】ここで、マスク信号 MASK は、ライト時等において第 1 の圧縮器 104 からのエラー検出信号 FAIL による不良解析を禁止するための制御信号であり、この実施例では各メモリアレイ MARY がライト時に書き込みデータと論理が反対のデータを出力してしまう回路構成となっているため、その出力を比較器 103 が誤ってエラーと判定しその判定結果が解析器 105 に入ってくるのでそれによる誤った不良解析を禁止するため設けられている。この実施例では、マスク信号 MASK を解析器 105 に入れているが、比較器 103 または圧縮器 104 に入れて同様な禁止制御を行なうようにしても良い。

【0038】第 2 の圧縮器 106 は、各解析器 105 からの故障信号 RMT の時系列的な論理和を生成する。即

ち、パターン発生器 101 で指定されたテストアドレスに対し、テスト範囲選択用レジスタ 107 でテスト対象に指定されたメモリアレイの中に 1 個所でも故障があれば、故障信号 DFT がリアルタイムでアサートされる。故障信号 DFT はパターン発生器 101 に戻され、パターン発生器 101 内の各種状態レジスタの値に従い、以降で述べるような処理がなされる。

【0039】図 3 は上記パターン発生器 101 の構成例を示すブロック図である。パターン発生器 101 は、テストパターンを生成するため最大 16 個のマイクロ命令コードが格納されるマイクロ命令レジスタ 203 と、該マイクロ命令レジスタ 203 から読み出すマイクロ命令を指定するプログラムカウンタ 202 と、プログラムカウンタ 202 の値を「+1」するインクリメンタ 201 と、マイクロ命令レジスタ 203 から読み出すマイクロ命令に応じた処理を実行する制御回路 200 と、各種レジスタ 204~213 と、アドレススクランブル回路 220、アドレス・データ演算回路 221、インクリメンタ 201 または制御回路 200 の信号を選択してプログラムカウンタ 202 へ供給する選択回路 230、パターン発生器から出力される信号のパッファレジスタ 214~217 等より成る。

【0040】なお、上記レジスタ 204~213のうち、204 はテストデータを指定する 2 ビットのデータレジスタ、205、206 はそれぞれテストアドレスを設定する 13 ビットのアドレスレジスタ、208、209 は命令シーケンスにおける命令ループの実行回数を計数する内側ループカウンタと外側ループカウンタ、207 は内側ループカウンタをリセットする値を設定するリセット値レジスタ、210 はテストのサイクル数を設定するレジスタ、211 は制御回路 220 による制御内容を指定する制御コードを設定する制御レジスタである。

【0041】また、212 はアドレススクランブル回路 220 におけるスクランブルの方式を指定する 3 ビットのコードが設定されるレジスタ、213 はアドレス・データ演算回路 221 におけるデータの演算式を指定する 2 ビットのコードが設定されるレジスタである。

【0042】図 4 はパターン発生器 101 の命令レジスタ 203 内に保持されるマイクロ命令コードの構成を示すもので、ビットフィールド 0~3 はジャンプ先を示すコード JUMP の入るフィールド、ビットフィールド 4 は命令のループの有無を示すコード LC の入るフィールド、ビットフィールド 5 はリードかライトかを示すコード RW の入るフィールド、ビットフィールド 6、7 は制御回路 200 からアドレススクランブル回路 220 に渡すアドレス信号を指定するコード OUTADR が入るフィールドで、同フィールドのコードが“00”ならば TAO レジスタ 206 の値を、“01”ならば TAO レジスタ 206 の値のビットコンプリメント信号を、“10”ならば TA1 レジスタ 205 の値を、“11”なら

10

20

30

40

50

ばTA1レジスタ205のビットコンプリメント信号を出力することを意味する。

【0043】ビットフィールド8はマスクの要/不要を示すコードMASKの入るフィールド、ビットフィールド9、10は2ビットのデータレジスタ204に対する演算を指定するコードINVの入るフィールドで、ビットフィールド9の値が“1”ならばデータレジスタ204の0ビット目の値を反転し、ビットフィールド10の値が“1”ならばデータレジスタ204の1ビット目の値を反転して再びデータレジスタ204に格納すること

10

を意味する。
【0044】ビットフィールド11、12はテストアドレスレジスタ205の値に対する演算の種類を指定するコードTA1の入るフィールド、ビットフィールド13、14はテストアドレスレジスタ206の値に対する演算の種類を指定するコードTA0の入るフィールドで、コードTA1、TA0がそれぞれ“00”1ならば何もせず、“01”ならばディクリメント、“10”な

らばインクリメント、“11”ならば値を反転してそれぞれのレジスタに値を戻すことを意味する。ビットフィールド0～3(JUMPフィールド)のコードとビットフィールド4(ループフィールドLC)のコードにより命令の実行シーケンスが制御される。

【0045】表2に、この実施例のパターン発生回路で用いられるマイクロ命令の一例とその内容が示されている。なお、表2は対象となるメモリアレイに順番に

“0”を書き込んで“0”を読み出し、次に“1”を書き込んで“1”を読み出すスキャンテストの場合のマイクロ命令レジスタ203の設定値を示す。表2はスキャンテストの例であり、例えば、チェックボード上に“0”、“1”を交互に書き込んで読み出すテストの場合には他の命令コード群がマイクロ命令レジスタ203に設定される。

【0046】

【表2】

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	内容
	Jump				LC	RW	OUTADR		MASK	INV		TA1		TA2		
CR0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	0	書込
CR1	0	0	0	1	1	0	1	0	0	0	0	1	0	0	0	読出
CR2	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	データ反転
CR3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CR9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
CRF	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

表2において、1番目の命令コードは対象となるメモリアレイに順番に“0”を書き込んでいくマイクロ命令コードである。2番目の命令コードは順番に“0”を読み出していくマイクロ命令コードである。3番目の命令コードはデータレジスタ204の値2ビットを反転させるマイクロ命令コードである。データレジスタ204は、はじめ「00」にされており、上記1番目と2番目の命令の繰り返しにより“0”の書き込みと読み出しテストが終了した後に、3番目の命令を実行してデータを反転した後、再び1番目と2番目の命令を繰り返すことで“1”の書き込みと読み出しテストが実行される。なお、生成された2ビットのデータはデータアドレス演算回路221で4倍に拡張されて8ビットデータとしてメモリアレイに供給される。

40

【0047】以下に、上記マイクロ命令の命令実行シーケンスをHDL(Hardware Description Language)で記述したリストを、また図5にそのフローチャートを示す。

```

if LC = 0 then
PC ← JUMP;
else if LC = 1 then
if LC0=0 then
if LC1=0 then
RUN ← 0; PC ← PC; LC0 ← LC0; LC1 ← LC1;
else
PC ← PC+1; LC0 ← NL0; LC1 ← LC1-1;
end if;
else
50 else

```

```

PC ← JUMP; LC0 ← LC0-1; LC1 ← LC1;
end if;
end if;

```

上記リストにおいて、1行目と2行目は、ビット4のループコードLCが“0”ならばプログラムカウンタ(PC)202にJUMPフィールドの値を入れることを意味する(図5のステップS1, S2)。プログラムカウンタ(PC)は、4ビットからなり次サイクルに実行する命令レジスタ203のアドレス番号を指し示している

ので、次サイクルではJUMPフィールドで示された命令レジスタ内の命令が実行される。

【0048】3行目(図5のステップS3)以下は、ビット4のループコードLCが“1”の場合の処理内容を表わす。ここでは、ループカウンタLC0(209)とループカウンタLC1(208)に対する演算が行われる。LCが“1”でLC0が“≠0”なら、命令が実行される度にLC0の値が1づつディクリメントされる(ステップS3→S7)。また、このときプログラムカウンタ(PC)にはJUMPフィールドの値が格納されるので、次に実行される命令はJUMPフィールドで指定

される。例えば、JUMPフィールドに自己の命令コードのアドレス番地を入れておくことにより、その命令の実行をループカウンタLC0の最初の値だけ繰り返すことになる。

【0049】そして、ループカウンタLC0の値が“0”になると、ループカウンタLC1の値が「1」減算され(ステップS3→S4→S6)、ループカウンタL

LC0にレジスタNLOの値が代入されるとともに、プログラムカウンタ(PC)にはインクリメント201で「+1」された値「PC+1」が選択回路230により入力される。これにより、次の命令が実行されるとともに、再びLC0が“≠0”となるためステップS3S7のループを繰り返す。この場合にも命令中のJUMPフィールドに自分自身の命令コードのアドレス番号を指定すると、その命令の実行をループカウンタLC0の設定値だけ繰り返すことになる。

10 【0050】その後、ループカウンタLC0、LC1の値が共に“0”になると、状態制御レジスタ211のビット6、即ちRUNビットに“0”が代入される(ステップS4→S5)。RUNビットは後述するようにパターン発生器101の実行・停止を制御し、この値が“0”になるとパターン発生器101は停止することを意味している。上記2重ループにより、例えば行アドレスを固定して列アドレスを一巡させ、次に行アドレスを更新して再び列アドレスを一巡させる動作を全行アドレスについて行なうことでメモリアレイのテストデータの書き込み等が自動的に行なえる。

20 【0051】表3は、制御回路200における制御入力信号RAMTESTおよびRBSTARTとレジスタ208～211の値とに基づくパターン発生器101の実行・停止制御条件を表す。

【0052】

【表3】

#	Input										Output	
	RAMTEST	RBSTART	CC_0_R	CC_0_FS	CC_0_CT	CC_0_SRT	CC_0_RUN	SC_0	LC0_0	LC1_0	CC_1_SRT	CC_1_RUN
1	0	-	-	-	-	-	-	-	-	-	CC_0_SRT	0
2	-	-	-	-	-	-	-	-	0	0	CC_0_SRT	0
3	-	-	-	-	1	-	-	0	-	-	CC_0_SRT	0
4	-	-	1	1	-	-	-	-	-	-	CC_0_SRT	0
5	1	1	-	-	-	0	-	-	-	-	1	1
6	1	1	-	-	-	1	-	-	-	-	1	CC_0_RUN

表3中の#1、2、3、4はパターン発生器の停止条件を表し、どれか一つの条件が満たされたときにRUNビットが“0”にセットされてパターン発生器101は停止する。#1はRAMTEST信号による停止を表し、この信号が論理“0”(ロウレベル)になるとパターン発生器101は無条件に停止する。

【0053】#2は上述したループカウンタ(LC)208と209の値による停止条件(LC0=0, LC1=0)である。#3はシーケンシャルカウンタ(SC)210による停止条件で、コントロールレジスタ(CC)211のビット4(カウンタ制御ビットCT)の値が“0”の時、SCの値が“0”になるとパターン発生器101は停止する。この機能は、テストにおいて、特定のサイクルでパターン発生器を強制的に停止させたい時に使用する。

【0054】#4はフェイルストップ機能で、コントロ

ールレジスタ(CC)211のビット2(フェイルストップビットFS)の値が“1”の時、同ビット1(テスト結果ビットR)の値が“1”の時にパターン発生器は停止する。なお、ここでRビットは各サイクルのフェイルの有無を表し、この機能により、メモリアレイに1箇所でも故障があれば自己テストを中止することが可能になる。

40 【0055】#5はパターン発生器の動作開始条件で、コントロールレジスタ(CC)211のビット5(実行制御ビットSRT)が“0”の時、RAMTEST信号とRBSTART信号が共にアサートされた時にパターン発生器は動作を開始する。この時SRTビットも“1”になり、外部からスキャンインされない限り“0”に戻ることはない。即ち、テストはたった1度しか実行されないことを保証している。

【0056】

【表4】

#	Input			Output				
	CC_0_RUN	CC_0_TR	FAIL	WE	MASK	FAIL_OUT	CC_1_R	CC_1_RA
1	0	0	-	0	1	CC_0_RA	CC_0_R	CC_0_RA
2	0	1	-	0	1	CC_0_R	CC_0_R	CC_0_RA
3	1	-	0	MC_RW	MC_MASK	CC_0_R	0	CC_0_RA
4	1	-	1	MC_RW	MC_MASK	CC_0_R	1	1

表4は制御回路200における入力フェイル制御信号F
A I Lとレジスタ211の値とに基づく、出力制御信号
WE、MASK、F A I L O U T、レジスタ制御信号 10
C C I R、C C I R Aの出力制御状態を表す。

パターン発生器が動作中、即ちRUNビットが1の#
3、#4、では、バッファレジスタ(WE)216には
プログラムカウンタ(PC)202で選択されたマイク
ロ命令レジスタ(CR)203のビットフィールド5の
値(RW)が、バッファレジスタ(MASK)217に
はビットフィールド8の値(MASK)が入力される。

【0057】この時パターン発生器101からのフェイ
ル出力信号F A I L O U Tには、コントロールレジ
スタ211のRビットの値、即ち毎サイクルのフェイル情 20
報が出力される。また、コントロールレジスタ211の
ビット0(テスト結果蓄積ビットRA)は、入力フェイ

ル信号F A I Lに1度フェイル有りの状態にされると
“1”のままとされ続ける。テスト停止時の#1、#2
では、バッファレジスタ(WE)216には“0”が、
またバッファレジスタ(MASK)217には“1”が
入力される。これは、前回のテスト結果を保持したまま
再テストを可能にするためである。

【0058】このため、パターン発生器停止時には表5
に示されているように、一部のレジスタの更新が禁止さ
れる。フェイル出力信号F A I L O U Tにはコントロ
ールレジスタ211のビット3(結果出力制御ビットT
R)の値に従い、RビットもしくはRAビットの値が選
択出力される。

【0059】

【表5】

レジスタ名	内容	ビット数	停止時更新抑止
CR	制御用マイクロコード	15 bit×16	
PC	プログラムカウンタ	4 bit	○
CC	状態制御	7 bit	RA、Rビットのみ
LCD	内側アドレスカウンタ	13 bit	○
LCI	外側アドレスカウンタ	17 bit	○
NLO	内側アドレスカウンタビット値	13 bit	
AS	アドレス演算指定	3 bit	
AF	アドレス演算指定	2 bit	
SC	テストサイクル数	30 bit	○
TA0	テストアドレス0	13 bit	○
TA1	テストアドレス1	13 bit	○
D	テストデータ	2 bit	○
ADDRESS	アドレス出力	13 bit	○
DATA	データ出力	2 bit	○
WE	ライト・アドレス出力	1 bit	
MASK	マスク制御出力	1 bit	

また、バッファレジスタ(DATA)215には、レジ
スタ204の値に対し、リード時とライト時で反転した
データが書き込まれる。当然のことながら、本来、メモ
リアレイに書き込まれるデータとその期待値は同じでな 40
ければならないが、期待値とメモリアレイ書き込みデー
タが同じであると、回路の構成上、期待値比較の際に期
待値とメモリアレイ読み出しデータが本当に一致したの
か、あるいは期待値がメモリアレイを素通りしてあたかも
期待値が一致したように見えているのか区別が付かない。
そこでこの実施例では、メモリアレイに書き込んだ
データを反転した値を期待値として出力し、各RAMマ
クロセル内で再び反転して元の書き込みデータに戻して
やることにより、上記不具合を回避するようにしてい
る。

【0060】図6はアドレス・データ演算回路221と
レジスタ213～215およびメモリアレイMARYと
の接続関係を、表6は演算指定レジスタ(AF)213
の設定値に基づくデータ演算回路221の入力と出力の
関係を表す。図6に示すように、アドレスレジスタ21
4の上位ビットはRAMマクロセルの列デコーダへ、下
位ビットは行デコーダへ接続される。これらデコーダに
接続されるアドレス信号の、それぞれの最下位ビットX
X、Y Yはアドレス・データ演算回路221に入力さ
れ、演算指定レジスタ213の値に従い、表6で示され
る演算が行われる。

【0061】

【表6】

AFレジスタ	入力	出力	パターン
0	DATA	DATA	ストレート
1	DATA	DATA % XX % YY	チェッカーボード
2	DATA	DATA % XX	Xストライプ
3	DATA	DATA % YY	Yストライプ

表6において、記号“%”は排他的論理和を意味する。これらの演算はメモリアレイの同一行に同じデータを書き込むXストライプ、同一列に同じデータを書き込むYストライプ、市松模様にデータを書き込むチェッカーボードパターンを実現するためのものである。尚、アドレス・データ演算回路221に入力されるアドレスの最下

位ビットはメモリアレイのロウ・カラム構成すなわちRAM種により異なる。各RAM種ごとの最下位ビットX

X, YYは表7に示されている。

【0062】

【表7】

RAM種	XX	YY
32w RAM	ADDRESS(12)	0
512w RAM	ADDRESS(12)	ADDRESS(6)
2kw RAM	ADDRESS(12)	ADDRESS(5)
8kw RAM	ADDRESS(12)	ADDRESS(3)

図7はアドレススクランブル回路220の機能を、また表8にはASレジスタ212の設定値とアドレススクランブル回路220のスクランブル機能との関係を示す。上述した様にアドレスの下位ビットは行デコーダに接続されるので、テストアドレスは列方向に順にインクリメントされる。即ち、自己テストは同一列から順に行われる。しかしながら、テスト対象のRAMマクロセルのある特定行に問題があることが明らかな場合、行方向にテストを行いたいという要求がある。この機能を実現するため、この実施例のアドレススクランブル回路220では、アドレスの上位ビット群と下位ビット群をスワップ（ビット入れ替え）し、各RAM種に出力するように構成されている。

【0063】

【表8】

0	1	2	
0	-	-	スクランブル無し
1	0	0	512w RAM用
1	0	1	2kw RAM用
1	1	0	4kw RAM用
1	1	1	8kw RAM用

図8はテスト範囲選択用レジスタ107の構成例およびテスト範囲選択用レジスタ107とRAMマクロセルを構成するメモリアレイ102や比較器103等との結合関係を示すブロック図である。図8において、108/109なるブロックは、図1に示されている書き込み選択回路108およびマスク生成回路109を一つのブロックとして示したもので、その機能は図1の場合と同じである。

【0064】図8に示されているように、テスト範囲選択用レジスタ107はテスト対象のRAMマクロセルを指定するためのTMRAMレジスタ401と、テスト対

象のRAM種を指定するTMTYPレジスタ402と、テスト対象のメモリマツを指定するためのTMBLKレジスタ403と、テスト対象のメモリブロック（データビット）を指定するためのTMBITレジスタ404と、TMRAMレジスタ401の設定値がオール“0”か検出する回路405と、TMBITレジスタ404の設定値がオール“0”か検出する回路406等から構成される。TMRAMレジスタ401とTMTYPレジスタ402の値はマスク・WE制御回路108/109に入力され、選択されたマクロのみ書き込みイネーブル信号WEがアサートされ、マスク信号MASKがネゲートされる。

【0065】表9は上記TMRAMレジスタ401の設定値と指定内容との関係を示す。

【0066】

【表9】

TMRAMレジスタ値	選択マクロセル
0	全マクロセル選択
1	RAMマクロセル0
2	RAMマクロセル1
.	.
.	.
63	RAMマクロセル62

表9に示されているように、TMRAMレジスタ402の値が“0”ならば全マクロセルを、それ以外はデコードされた1つのRAMマクロセルが指定され、最大63個のRAMマクロセルまで指定できるようにされている。

【0067】表10は上記TMTYPレジスタ402の設定値と指定内容との関係を示す。

【0068】

【表10】

TMTYP レジスタ値				選択メモリ種
Bit 0	1	2	3	
1	-	-	-	512W RAM
-	1	-	-	2kW/4kW RAM
-	-	1	-	32W RAM
-	-	-	1	8kW RAM

表10に示されているように、TMTYPレジスタ402のビット0の値が“1”のときは512ワードのRAMが、ビット1の値が“1”のときは2kワードのRAMが、ビット2の値が“1”のときは32ワードのRAMが、ビット3の値が“1”のときは8kワードのRAM

Mがそれぞれ指定される。

【0069】表11は上記TMBLKレジスタ403の設定値と指定内容との関係を示す。

【0070】

【表11】

TMBLK レジスタ値				選択セット
Bit 0	1	2	3	
1	-	-	-	メモリマット0選択
-	1	-	-	メモリマット1選択
-	-	1	-	メモリマット2選択
-	-	-	1	メモリマット3選択

表11に示されているように、TMBLKレジスタ403のビット0の値が“1”のときはメモリマット0が、ビット1の値が“1”のときはメモリマット1が、ビット2の値が“1”のときはメモリマット2が、ビット3の値が“1”のときはメモリマット3がそれぞれ指定される。

【0071】表12は上記TMBITレジスタ404の設定値と指定内容との関係を示す。

【0072】

【表12】

TMBIT レジスタ値	選択メモリブロック
0	全メモリブロック選択
1	メモリブロック0
2	メモリブロック1
.	.
.	.
63	メモリブロック62

表12に示されているように、TMBITレジスタ404の値が“1”のときは全メモリブロックが、レジスタの値が“1”のときはメモリブロック0が、レジスタの値が“2”のときはメモリブロック1……のように指定され、最大63個のメモリブロックまで指定できるようにされている。

【0073】図9は、各RAMマクロセル内の特に比較器103と圧縮器104の具体例を、2kワードのRAMを例にとって示したものである。

【0074】図示されているように、比較器103は、メモリアレイMARYの各メモリマットから読み出されたデータをラッチするデータラッチ301と、メモリアレイMARYからの読出しデータとパターン発生器10

1からの期待値データ（書込みデータの反転値）との排他的論理和をとって故障検出信号を形成するEORゲート302と、該EORゲート302の出力（故障検出信号）のうちテスト範囲選択レジスタ107内のTMBLKレジスタ403の値に基づいて指定されたメモリマットの出力のみを通過させるセット選択ゲート303と、該セット選択ゲート303の出力のうちテスト範囲選択レジスタ107内のTMBITレジスタ404の値に基づいて指定されたメモリブロック（データビット）の出力のみを通過させるブロック選択ゲート304とからなる。

【0075】圧縮器104は、比較器103の出力のうち各ブロックデータの同一ビット位置の故障検出信号同士の論理和をとるORゲート411と、さらにこれらのORゲート411の出力の論理和をとるORゲート412と、これらのORゲート411の出力に基づいて故障ビット位置を示す3ビットのコードDBT<0-2>を生成すると共に複数の故障が発生していることを示すマルチビットエラー信号MBEを生成するエンコーダ・マルチビット検出器413とから構成されている。このエンコーダ・マルチビット検出器413の具体例は図10に示されている。

【0076】次に、解析器105での救済情報の判定方法を説明する。救済情報の判定・保存アルゴリズムは、メモリアレイの救済効率を決定する非常に重要な部分である。一方、解析器105は各RAMマクロセル毎に設けられるので、チップの面積に大きく影響する。また、リアルタイムテストの要求を満たすためには、解析器105もチップのシステムクロックに同期して動作しなければならない。従って、解析器105の仕様はチップコストとチップ性能に直接影響を与える。

【0077】そこで、本実施例の解析器では、最低限のメモリアレイの救済効率を保証するため、後述する特殊なケースを除き、以下の条件が必要であるとした。即ち、N組の救済用メモリ行および故障行アドレス保存用レジスタとM組の救済用ブロック（もしくは救済用置換メモリ列）および故障列アドレス保存用レジスタを有するRAMマクロセルに対して、N組以下の行ライン欠け不良は全て救済する。M組以下の列ライン欠け不良は全て救済する。N+M組以下のランダムビット不良は可能な限り救済する。

【0078】ものとした。

【0079】しかし、上記基本条件を最小のハードウェア、即ち、N本の故障行アドレス保存用のレジスタとM本の故障列保存用のレジスタ、および幾つかの論理ゲートで実現することは容易ではない。例えば、1本の故障行アドレス保存用レジスタと1本の故障列アドレス保存用レジスタを有するRAMマクロセルに対し、1組の行ライン欠けと1組の列ライン欠けが存在するメモリアレイを考える。この時、解析器が最初に検出した故障の行アドレスを故障行アドレスレジスタに保存し、次に検出した故障の列アドレスを故障列アドレスレジスタに保存するならば、列ライン欠けが先に検出された時に行ライン欠けが救済されないことになる。逆に、解析器が最初に検出した故障の列アドレスを故障列アドレスレジスタに保存し、次に検出した故障の行アドレスを故障行アドレスレジスタに保存するならば、行ライン欠けが先に検出された時に列ライン欠けが救済されないことになる。本発明では下記指針に従い、上記基本条件を実現する。

(1) 行アドレスを更新しながら列ラインに沿ってテストを行う。この方式を採用したのは、列ライン欠けが隣接する上下の故障を検出するまで判明しないのに対し、行ライン欠けはマルチビットエラーとして報告されることにより、直ちに解読することが可能であるため、テスト時間という点において列ラインに沿ったテストの方が有利となるからである。

(2) シングルビットをエラーを検出した場合

①故障ビットのアドレス（行アドレスと列アドレス）が、記憶済みの故障行アドレスレジスタと故障列アドレスレジスタのうちどちらか一方の内容と一致した場合は一致した方のレジスタを更新禁止とする。

②故障ビットのアドレスが、故障アドレスレジスタに保存されていない場合

②-1：対応する故障行・列アドレスレジスタが両方とも未保存状態であれば、故障アドレスレジスタへその故障行アドレスと故障列アドレスを同時に保存する。

【0080】②-2：既に故障行アドレスレジスタと故障列アドレスレジスタが一杯の場合、更新可能なアドレスレジスタに対し、検出した故障ビットの行アドレスまたは列アドレスの一方を保存するとともに、レジスタの更新を禁止とする。

【0081】②-3 全ての故障アドレスレジスタが更新禁止の場合、救済不可能とする。

(3) マルチビットエラーを検出した場合、発生したエラーを行ライン欠けとみなし、故障行アドレスを故障行アドレスレジスタに保存し、すべての故障行アドレスレジスタが更新禁止の場合、救済不可能とする。この方式では、同一列アドレスを有する複数の列ライン欠け故障を救済する事ができないが、現実的なケースでは同一列アドレスに対して複数の列ライン欠け故障が発生する可能性は低く、マルチビットエラーを故障行アドレスで救済する処理が簡単である。一方、列ライン欠けを救済できるように、発生したエラーを異なる複数のメモリセル故障とみなし、全ての故障アドレスの組を故障行アドレスレジスタと故障列アドレスレジスタに保存するという方式もあるが、処理が極めて複雑になるために本実施例では先の方式を採用した。

【0082】以下、1ビットのエラーが検出された場合（シングルビットエラー検出）と複数ビットのエラーが検出された場合（マルチビットエラー）とに分けて説明する。

【0083】図11は、上記の方式に基づくシングルビットエラー検出の場合の、具体的な故障情報更新アルゴリズムをフローチャートで表わしたもので、図12～図14は同アルゴリズムを視覚的に表現したものである。ただし、同アルゴリズムでは、故障行アドレスレジスタをN本、故障列アドレスレジスタをM本とし、 $N \geq M$ としている。 $N < M$ のときは、列と行を置き換えれば良い。

【0084】まず、故障が検出され、そのエラー信号がシングルビットエラーであると判定されると図11のフローチャートに示す処理が実行される。ここで、新規検出された故障ビットの行アドレスを X_p 、新規検出された故障ビットの列アドレスを Y_p 、故障行アドレスレジスタをFWD、故障列アドレスレジスタをFBT、故障行アドレスレジスタの更新状態フラグをFX、故障列アドレスレジスタの更新状態フラグをFYとしている。

【0085】まず、検出された故障ビットの行アドレス X_p および列アドレス Y_p がともに故障アドレスレジスタFWD、FBTに既に保存されているか判定される（ステップS1）。両アドレスとも保存されていれば、その故障ビットは以前に既に検出されているビットであり救済処置がなされているので、直ちに処理は終了する（ステップS1→END）。

【0086】次に、検出された故障ビットの行アドレス X_p が既に故障行アドレスレジスタFWDに保存されているか判定される（ステップS2）。行アドレス X_p が既に故障行アドレスレジスタFWDに保存されていれば、行アドレス X_p が保存されている故障行アドレスレジスタFWDの更新状態フラグFXが禁止とされ（ステップS3）、検出された故障ビットの行アドレス X_p お

および列アドレス Y_p の保存はなされない。図12(A)に示すように、故障ビット(X_2, Y_p)が新たに検出されたが、既に故障行アドレス X_2 が保存されている場合には、行アドレス X_2 の保存は省略され、代わりに行アドレスレジスタFWDの更新状態フラグFXが禁止とされる。これにより、行ラインで救済されることが確定される。また、この新たに検出された故障ビット(X_2, Y_p)は行ラインで救済されるため、列アドレス Y_p は故障列アドレスレジスタFBTに保存される必要はない。

【0087】次に、検出された故障ビットの列アドレス Y_p が既に故障列アドレスレジスタFBTに保存されているか判定される(ステップS4)。列アドレス Y_p が既に故障列アドレスレジスタFBTに保存されていれば、列アドレス Y_p の更新状態フラグFYが禁止とされる(ステップS5)、検出された故障ビットの行アドレス X_p および列アドレス Y_p の保存はなされない。図12(B)に示すように、故障ビット(X_p, Y_2)が新たに検出されたが、既に故障列アドレス Y_2 が保存されている場合には、列アドレス Y_p の保存は省略され列アドレスレジスタFBTの更新状態フラグFYが禁止とされる。これにより、列ラインで救済されることが確定される。また、この新たに検出された故障ビット(X_p, Y_2)は列ラインで救済されるため、行アドレス X_p は故障行アドレスレジスタFWDに保存される必要はない。

【0088】次に、新たに検出された故障ビットの行アドレス X_p 、列アドレス Y_p がともに故障アドレスレジスタFWD、FBTに保存されているアドレスと一致しなかった場合について説明する。この場合は、新たに検出された故障ビットの行アドレス X_p および列アドレス Y_p に対する救済処置、または行アドレス X_p と列アドレス Y_p のどちらか一方に対する救済処置がとられる。

【0089】まず、故障アドレスレジスタFWD、FBTの中に未保存のレジスタがあるか判定される(ステップS6)。未保存の故障アドレスレジスタFWD、FBTがある場合には、この空の故障アドレスレジスタFWD、FBTに新たに検出された故障ビット(X_p, Y_p)のアドレスが保存される(ステップS7)。このとき、次の2つの場合が考えられる。第一に、図12

(C)に示すように、 K 番目($K \leq M$)の故障列アドレスレジスタFBTが未保存である場合は(故障行アドレスレジスタFWDの方が多いため当然 K 番目の行アドレスレジスタFWDも未保存である)、未保存レジスタ $\Phi X_k, \Phi Y_k$ にそれぞれ X_p, Y_p が保存され、パス/フェイル状態がフェイルとされる(ステップS5→ステップS6)。このとき、更新状態フラグFX、FYは救済方法(行ライン救済または列ライン救済)が確定していないので“更新可能”のままである。第二に、図13

(D)に示すように、 K 番目($K > M$)の故障行アドレスレジスタFWDが未保存である場合は、未保存の行ア

ドレスレジスタ ΦX_k に X_p が保存されるとともに、このレジスタの状態フラグFXは“更新禁止”とされる。検出された故障ビット(X_p, Y_p)は列アドレス Y_p を保存できないため、行ラインで救済されることが確定するからである。

【0090】次に、 N 本の故障行アドレスレジスタFWDおよび M 本の故障列アドレスレジスタFBTがすべて故障アドレスを保持しているとともに、更新状態フラグFX、FYを見て行アドレスレジスタFWDと列アドレスレジスタFBTがすべて更新禁止かどうか判定される(ステップS8)。更新可能なアドレスレジスタがあれば、その行または列アドレスレジスタを探す(ステップS9)。

【0091】次に、更新状態フラグFX、FYを見て行アドレスレジスタFWDと列アドレスレジスタFBTがともに更新可能か判定される(ステップS10)。両方とも更新可能であれば、新たに検出された故障ビットの列アドレス Y_p が故障列アドレスレジスタFBTに保存されるとともに、更新状態フラグFX、FYは“更新禁止”とされる(ステップS11)。図13(E)に示すように、行・列アドレスレジスタFWD、FBTともに($L-1$)番目のレジスタまですべて更新禁止となっており、 L 番目のアドレスレジスタはともに更新可能である場合、 L 番目の故障列アドレスレジスタFBTに列アドレス Y_p が上書きされるとともに、行・列アドレスレジスタFWD、FBTの更新状態フラグFX、FYが“更新禁止”とされる。これは、先に保存されていた故障ビットは行ラインで救済し、新たに検出された故障ビットは列ラインで救済することを確定するためである。

【0092】次に、ステップS10で“NO”のとき、すなわち更新状態フラグFX、FYがともに更新可能でないときは、更新状態フラグFXを見て行アドレスレジスタFWDのみ更新可能か判定される(ステップS12)。行アドレスレジスタFWDのみ更新可能であれば、行アドレス X_p が故障行アドレスレジスタFWDに保存されるとともに、更新状態フラグFXが“更新禁止”とされる(ステップS13)。すなわち、図13

(F)に示すように、故障行アドレスレジスタFWDは($L-1$)番目まで更新禁止で、故障列アドレスレジスタFBTは L 番目まで更新禁止となっている場合、 L 番目の故障行アドレスレジスタFWDに行アドレス X_p が上書きされるとともに、行アドレスレジスタFWDの更新状態フラグFXが“更新禁止”とされる。行アドレス X_p のみしか保存できないため、行ラインで救済することを確定するためである。また、 L 番目のアドレスレジスタFWD、FBTに先に保存されていた故障ビットは、列アドレスレジスタが更新禁止であることから列ラインで救済されることが確定するため、行アドレス X_1 に上書きされても救済される。

【0093】次に、更新状態フラグFYを見て列アドレ

10

20

30

40

50

レジスタF B Tのみ更新可能な場合は、列アドレスY_pが故障列アドレスレジスタに保存されるとともに、更新状態フラグF Yが禁止とされる（ステップS 14）。すなわち、図14（G）に示すように、故障列アドレスレジスタF B Tは（L-1）番目まで更新禁止で、故障行アドレスレジスタFWDはL番目まで更新禁止となっている場合、L番目の故障列アドレスレジスタF B Tに列アドレスY_pが上書きされるとともに、列アドレスレジスタF B Tの更新状態フラグF Yが“更新禁止”とされる。列アドレスY_pのみしか保存できないため、列ラインで救済することを確定するためである。また、L番目のアドレスレジスタFWDに先に保存されていた故障ビットは、行アドレスレジスタFWDが更新禁止であることから行ラインで救済することが確定しているため、列アドレスY₁に上書きされても救済される。

【0094】そして、図14（H）に示すように、上記の救済処置によりすべての故障行アドレスレジスタFWDおよび故障列アドレスレジスタF B Tの更新状態フラグF X, F Yが“更新禁止”にされると新たに検出された故障ビットのアドレスを保存できないため救済不可能とされる（ステップ15）。

【0095】図15は、マルチビットエラー検出の場合の具体的な故障情報更新アルゴリズムをフローチャートで表わしたもので、図16は同アルゴリズムを視覚的に表現したものである。ただし、同アルゴリズムでは、故障行アドレスレジスタをN本、故障列アドレスレジスタをM本とし、N≧Mとしている。N<Mのときは、列と行を置き換えれば良い。

【0096】まず、故障が検出され、そのエラー信号がマルチビットエラーであると判定されると図15のフローチャートに示す処理が実行される。

【0097】マルチビットエラーが検出されるとステップS 21で検出された故障ビットの行アドレスX_pが故障行アドレスレジスタFWDに既に保存されているか判定される。保存されている場合は、行アドレスレジスタFWDの更新状態フラグF Xが“更新禁止”とされる（ステップS 22）。これは、マルチビットエラーが検出された場合は行ラインで救済するようにしているからである。

【0098】次に、新たに検出された故障ビットの行アドレスX_pが故障行アドレスレジスタFWDに保存されているアドレスと一致しなかった場合について説明する。この場合は、新たに検出された故障ビットの行アドレスX_pに対して行ラインで救済処置がとられる。

【0099】まず、ステップS 23で故障行アドレスレジスタFWDに未保存のレジスタがあるか判定される。未保存の故障行アドレスレジスタFWDがある場合には、この空の故障行アドレスレジスタFWDに新たに検出された故障ビットの行アドレスX_pが保存されるとともに、更新状態フラグF Xが“更新禁止”とされる（ス

テップS 24）。すなわち、図16（A）に示すように、K（K≦M）番目の行アドレスレジスタΦX_kに検出された故障ビットの行アドレスX_pが保存されるとともに、このレジスタの更新状態フラグF Xが“更新禁止”とされ行ラインによる救済が確定する。このとき、検出された故障ビットの列アドレスYは救済には無関係になるため、行アドレスレジスタΦX_kに対応する列アドレスレジスタΦY_kは未保存のままとする。また、マルチビットエラーの場合、行ラインで救済することとしているので、検出された故障ビットの列アドレスYは救済とは無関係になるため、K>Mの場合も同様に故障ビットの行アドレスX_pが保存され、更新状態フラグF Xが“更新禁止”とされる。

【0100】次に、ステップS 23でN本の故障行アドレスレジスタFWDおよびM本の故障列アドレスレジスタF B Tがすべて故障アドレスを保持していると判定されると、ステップS 25へ移行して、更新状態フラグF Xを見て行アドレスレジスタFWDがすべて更新禁止かどうか判定される。更新可能な行アドレスレジスタFWDがあれば、その行アドレスレジスタFWDを探す（ステップS 27）。

【0101】次に、更新状態フラグF X, F Yを見て故障行アドレスレジスタFWDおよび故障列アドレスレジスタF B Tがともに更新可能か判定される（ステップS 28）。両方とも更新可能であれば、新たに検出された故障ビットの行アドレスX_pが故障行アドレスレジスタFWDに保存されるとともに、更新状態フラグF Xは“更新禁止”とされる。このとき、更新状態フラグF Yも“更新禁止”とされる（ステップS 29）。すなわち、図16（B）に示すように、L番目のアドレスレジスタFWD, F B Tがともに更新可能である場合、L番目の故障行アドレスレジスタFWDに行アドレスX_pが上書きされるとともに、行・列アドレスレジスタの更新状態フラグF X, F Yが“更新禁止”とされる。これは、マルチビットエラーは行ラインで救済することとしたのに対応して、先に保存されていた故障ビットは列ラインで救済することを確定するためである。

【0102】次に、更新状態フラグF X, F Yを見て故障行アドレスレジスタFWDのみ更新可能であれば、行アドレスX_pが故障行アドレスレジスタFWDに保存されるとともに、更新状態フラグF Xが“更新禁止”とされる（ステップS 30）。すなわち、図16（C）に示すように、L番目の故障行アドレスレジスタFWDは更新可能で、故障列アドレスレジスタF B Tは更新禁止となっている場合、L番目の故障行アドレスレジスタFWDに行アドレスX_pが上書きされるとともに、行アドレスレジスタの更新状態フラグF Xが“更新禁止”とされる。また、L番目のアドレスレジスタに先に保存されていた故障ビットは、L番目の列アドレスレジスタF B Tが更新禁止であることから列ラインで救済することが確

定しているため、行アドレスX1に上書きされても救済される。

【0103】そして、上記の救済処置によりすべての故障行アドレスレジスタFWDの更新状態フラグFXが“更新禁止”にされると、新たに検出されたマルチビットエラーの行アドレスを保存できないため行ラインによる救済は不可能とされる（ステップ26）。

【0104】以上、図11と図15を用いてシングルビットエラーとマルチビットエラーの救済を別々に説明したが、これらは同時進行的に行われるものである。すな

わち、図11と図15のフローチャートは一つのプログラムの中で、検出された故障がシングルビットエラーかマルチビットエラーか判定され、その結果に応じて実行される。

【0105】図17は図11および図15のアルゴリズムをハードウェアで実現する際の解析器105内に設けられるレジスタとその構成例を示す。

【0106】図17に示されているように、解析器105内には、テスト結果を反映するためのテスト結果レジスタTRRと、検出された故障ビットの行アドレスを格納するN本の故障行アドレスレジスタFWDと、故障列アドレスを格納するM本の故障列アドレスレジスタFBTとを有する。故障メモリセルをメモリ列単位ではなくブロック単位で置換する方式では、故障列アドレスレジスタFBTの代わりに故障ブロックの番号（データのビット位置に対応する）を格納するレジスタとされる。

【0107】上記テスト結果レジスタTRRは、“PF”、“FX”、“FY”、“OVER”の4つのビットからなり、“PF”ビットは故障レジスタの組が書き込み済み（論理“1”）か空であるか（論理“0”）を、“FX”ビットは故障行レジスタFWDが更新可能（“0”）か禁止（“1”）かを、“FY”ビットは故障列レジスタFBTが更新可能（“0”）か禁止（“1”）かを、“OVER”ビットは救済可能（“0”）か不可能（“1”）かを表す。

【0108】図18は、2組の故障行アドレスレジスタFWD1、FWD2と2組の故障列アドレスレジスタFBT1、FBT2を有する場合のテスト結果レジスタTRRの構成例が示されている。“PF1”ビットは1組目の故障レジスタが書き込み済み（“1”）か空であるか（“0”）を、“PF2”ビットは2組目の故障レジスタが書き込み済み（“1”）か空であるか（“0”）を、“FX1”ビットは1本目の故障行アドレスレジスタFWD1が更新可能（“0”）か禁止（“1”）かを、“FX2”ビットは2本目の故障行アドレスレジスタFWD2が更新可能（“0”）か禁止（“1”）かを、“FY1”ビットは1本目の故障列アドレスレジスタFBT1が更新可能（“0”）か禁止（“1”）かを、“FY2”ビットは2本目の故障列アドレスレジスタFBT2が更新可能（“0”）か禁止（“1”）かを、

“OVER”ビットは救済可能（“0”）か不可能（“1”）かを表す。上記構成は一例であって、テスト結果レジスタTRRの構成は上記以外も可能である。

【0109】図19は、図17に示されているレジスタTRR、FWD、FBTを有する解析器105の具体的な回路例を示す。図において、MASKは前記パターン圧縮器101から供給される回路の動作の可否を示すマスク信号、FAILは前記圧縮器104から供給されるエラーの有無を示すエラー検出信号、MBEN、MBEPは前記圧縮器104から供給されるマルチビットエラーの有無を示す正相と逆相のマルチビットエラー信号、RMTは解析器105から圧縮器106へ出力される各サイクルでの故障の有無を表すRAMマクロセル故障信号である。

【0110】同図からも分かるように、この実施例では、テスト結果レジスタTRRを構成する“PF”、“FX”、“FY”、“OVER”の4つのビットの状態はマスク信号MASK、有無を示すエラー検出信号RMT、マルチビットエラー信号MBEN、MBEP等に基づいて設定される。また、図19には、故障行アドレスレジスタFWDと故障列アドレスレジスタFBTはそれを構成するフリップフロップがそれぞれ1つずつしか代表的に示されていないが、実際にはかかるフリップフロップがn個からなるレジスタN本と、m個からなるレジスタがM本設けられる。

【0111】そして、故障行アドレスレジスタFWDには比較器103でエラーが検出されたときの行アドレスXADRが故障行アドレスとして格納され、故障列アドレスレジスタFBTには比較器103でエラーが検出されたときの列アドレスYADR（もしくはブロック番号）が故障列アドレス（故障ブロック番号）として格納される。さらに、前記アルゴリズムに従った故障アドレスの格納が論理回路部500において実行される。

【0112】なお、上記“PF”、“FX”、“FY”、“OVER”のビットは、それぞれスキャンパス510に接続されており、このスキャンパス510を介して各ビットの情報をチップ外部へ読み出す事ができるようにされている。また、図示しないが、故障行アドレスレジスタFWDと故障列アドレスレジスタFBTもスキャンパス510に接続されており、このスキャンパス510を介して上記故障行アドレスレジスタFWDと故障列アドレスレジスタFBTに格納されたアドレスもチップ外部へ読み出し可能にされている。

【0113】チップ外部に読み出された故障情報は例えばレーザーリペア装置に渡され、レーザーリペア装置はその故障情報に基づいてチップ内に設けられたヒューズを切断して、故障を含むメモリ行等と置換メモリ行や置換メモリ列または置換ブロックとの置き換えを行なう。ただし、ヒューズの代わりに不揮発性メモリを含む切換え回路を設けるとともに、上述したアルゴリズムに従っ

て置換メモリ行等を決定し上記切換え回路への設定を行なう自己修正回路をチップ内部に設けて、自動的に故障の検出と修正を行なえるように構成することも可能である。

【0114】図20は、上記解析器105におけるテスト結果レジスタTRRの各ビットPF、FX、FY、OVERの変化で示した状態遷移図を表す。図中MBEはマルチビットエラーが検出されたこと、すなわちMBE信号がアサートされたことを意味する。また、記号“!”、“&”、“|”はそれぞれ演算子、記号“=”は条件子で、“!”は論理否定、“&”は論理積、“|”は論理和、“=”は「条件一致」を意味する。なお、演算の優先順位は|<&<!である。FWMは検出された故障行アドレスXADRが故障行アドレスレジスタFWDの値と一致していることを、FBMは検出された故障ブロック番号（もしくは列アドレスYADR）が故障列アドレスレジスタFBTの値と一致していることを表わしている。

【0115】さらに、図20において、符号“A”はそのとき解析器105に入力されている行アドレスXAD

Rを故障行アドレスレジスタFWDに格納する動作が、符号“C”はそのとき入力されているブロック番号DBT（もしくは列アドレスYADR）を故障列アドレスレジスタFBTに格納する動作が付随して行なわれることを意味している。なお、記号“*”は省略可能な動作であることを表わしている。

【0116】前述したように、本実施例に従うと、テスト結果レジスタTRRの値より、救済の可否、救済方法、救済アドレスの情報を得ることができる。表13は、テスト結果レジスタTRRの値と、その値から決定される救済内容との関係の一例を、512ワードおよび2kワードのRAMについて示したものである。なお、表中において、「保証しない」とは対応するレジスタにアドレスがテスト終了時に格納されていても置換等の処理を行なわないという意味である。かかる決定は、例えばLSIテストやレーザーリペア装置がテスト結果レジスタTRRの値を読み込むことによって、外部装置で行なわれる。

【0117】

【表13】

#	テスト結果レジスタ				状態及び救済方法			
	PF1	FX1	FY1	OVER	状態	救済方法	テスト終了時のFWDの値	テスト終了時のFBTの値
1	0	0	0	0	全ビット良品	不要	レジスタ初期値	レジスタ初期値
2	1	0	0	0	救済可能	ワード救済もしくはブロック救済	救済ワード	救済ブロック
3	1	1	0	0	救済可能	ワード救済	救済ワード	保証しない
4	1	0	1	0	救済可能	ブロック救済	保証しない	救済ブロック
5	1	1	1	0	救済可能	ワード救済かつブロック救済	救済ワード	救済ブロック
6	1	1	0	1	救済不可能		保証しない	保証しない
7	1	0	1	1	救済不可能		保証しない	保証しない

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、故障ビットを含む故障メモリ行の置換はメモリ行単位で、また故障ビットを含む故障メモリ列を救済するための置換はメモリ列単位またはブロック単位で行なうように構成されたメモリアレイについて説明したが、故障ビットを含む故障メモリ行の置換をブロック単位で行なうように構成することも可能であり、その場合にも本発明を適用することができる。

【0118】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるRAMを内蔵した半導体集積回路に適用した場合について説明したが、この発明はそれに限定されるものでなく、ROMあるいはEPROM等他のメモリを内蔵した半導体集積回路にも利用することができる。

【0119】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0120】すなわち、本発明に係る内蔵メモリのテスト回路を備えた半導体集積回路においては、故障メモリセル、故障行ラインアドレス、故障列ラインアドレスおよび救済方法等の情報を得ることができ、これらの情報により、チップの歩留まりを大幅に向上できる。

【図面の簡単な説明】

【図1】本発明に係るメモリアレイの自己検査回路の一実施例の概略構成を示すブロック図である。

【図2】実施例のメモリアレイにおけるブロック構成例を示すブロック図である。

【図3】パターン発生器の構成例を示すブロック図である。

【図4】パターン発生器の制御部のマイクロ命令の構成例を示す説明図である。

【図5】マイクロ命令の命令実行シーケンスを示すフローチャートである。

【図6】パターン発生器のアドレス・データ演算回路と

・前後の回路との関係を示すブロック図である。

【図7】アドレススクランブル回路の機能を示す説明図である。

【図8】テスト範囲選択用レジスタの構成例およびメモリアレイや比較器との結合関係を示すブロック図である。

【図9】比較器および圧縮器の構成例を示すブロック図である。

【図10】エンコーダ・マルチビット検出回路の構成例を示すブロック図である。

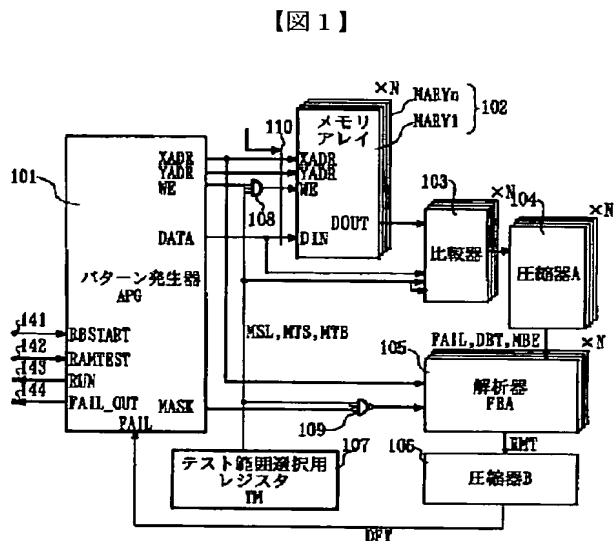
【図１１】本発明におけるシングルビットエラー検出の場合の故障情報更新アルゴリズムを示すフローチャートである。

【図 12】本発明におけるシングルビットエラー検出の場合の故障情報更新アルゴリズムに従ったテスト結果レジスタおよび救済アドレスレジスタへの故障アドレスの書き込み様子を示す説明図である。

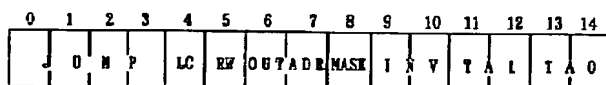
【図 13】本発明におけるシングルビットエラー検出の場合の故障情報更新アルゴリズムに従ったテスト結果レジスタおよび救済アドレスレジスタへの故障アドレスの 20 書込み様子を示す説明図である。

【図１４】本発明におけるシングルビットエラー検出の場合の故障情報更新アルゴリズムに従ったテスト結果レジスタおよび救済アドレスレジスタへの故障アドレスの書き込み様子を示す説明図である。

【図 15】本発明におけるマルチビットエラー検出の場合



【图4】



合の故障情報更新アルゴリズムを示すフローチャートである。

【図１６】本発明におけるマルチビットエラー検出の場合の故障情報更新アルゴリズムに従ったテスト結果レジスタおよび救済アドレスレジスタへの故障アドレスの書込み様子を示す説明図である。

【図17】解析器内のテスト結果レジスタおよび救済アドレスレジスタの構成例を示す説明図である。

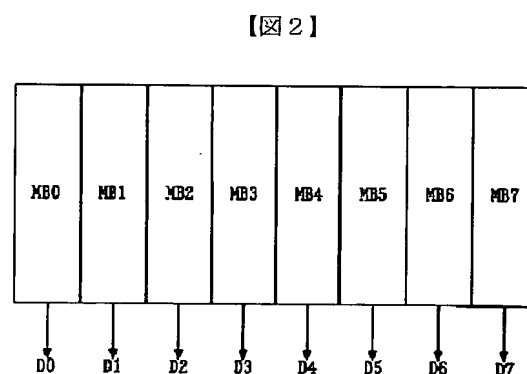
【図 18】解析器内のテスト結果レジスタおよび救済アドレ
10 ドレスレジスタの他の構成例を示す説明図である。

【図 19】 解析器の構成例を示す回路図である。

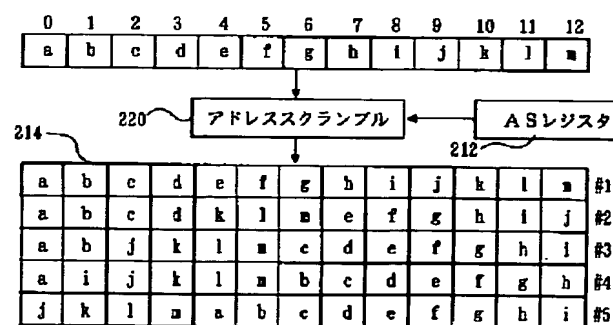
【図20】解析器における制御状態の変化を示す状態遷移図である。

【符号の説明】

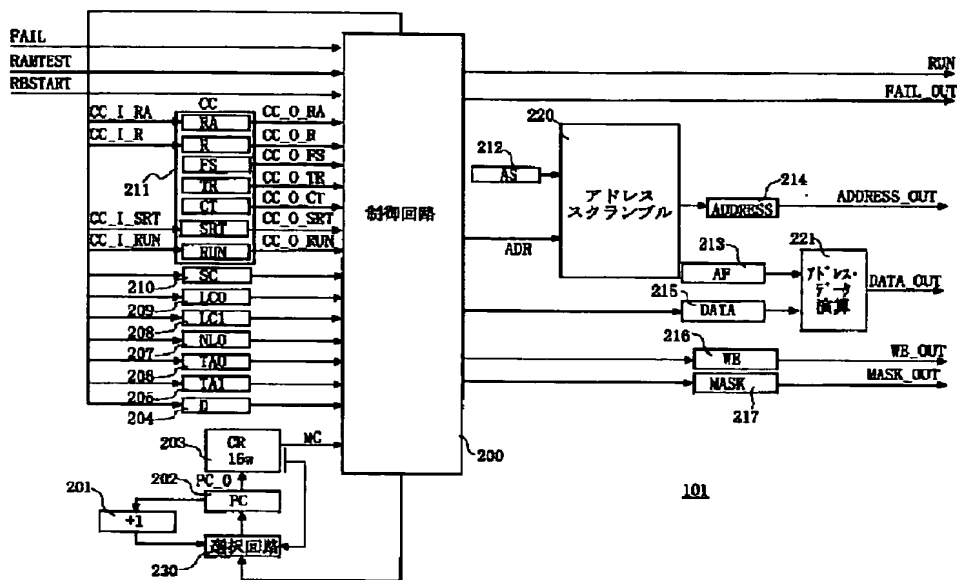
- | | |
|-------|--------------|
| 1 0 1 | パターン発生器 |
| 1 0 2 | メモリアレイ |
| 1 0 3 | 比較器 |
| 1 0 4 | 圧縮器 |
| 1 0 5 | 解析器 |
| 1 0 6 | 圧縮器 |
| 1 0 7 | テスト範囲選択用レジスタ |
| 2 0 2 | プログラムカウンタ |
| 2 0 3 | マイクロ命令レジスタ |
| 2 2 0 | アドレススクランブル回路 |
| 2 2 1 | アドレス・データ演算回路 |



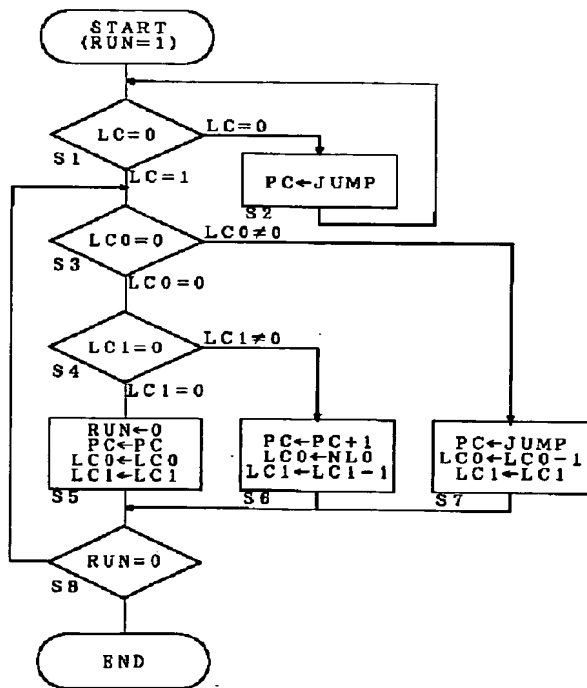
【图7】



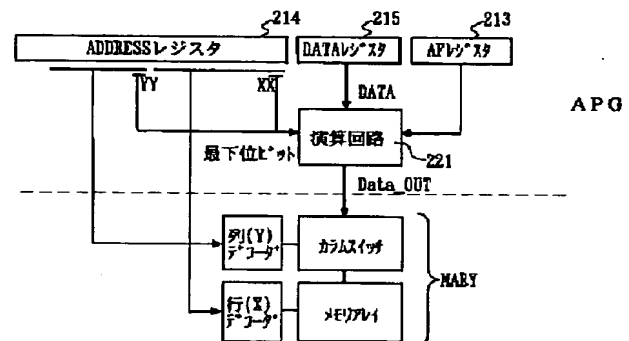
【図 3】



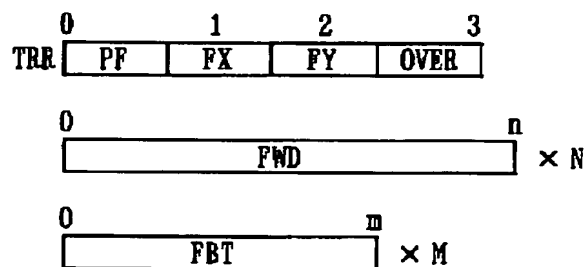
【図 5】



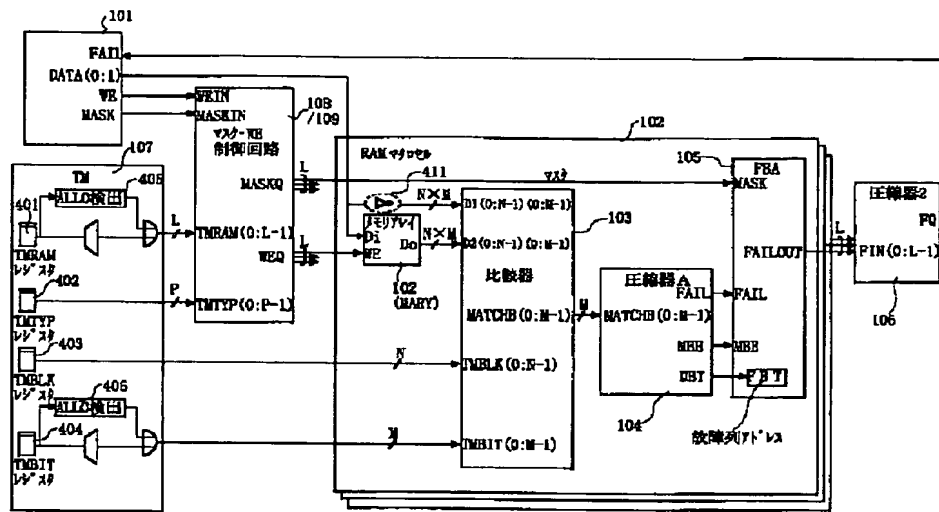
【図 6】



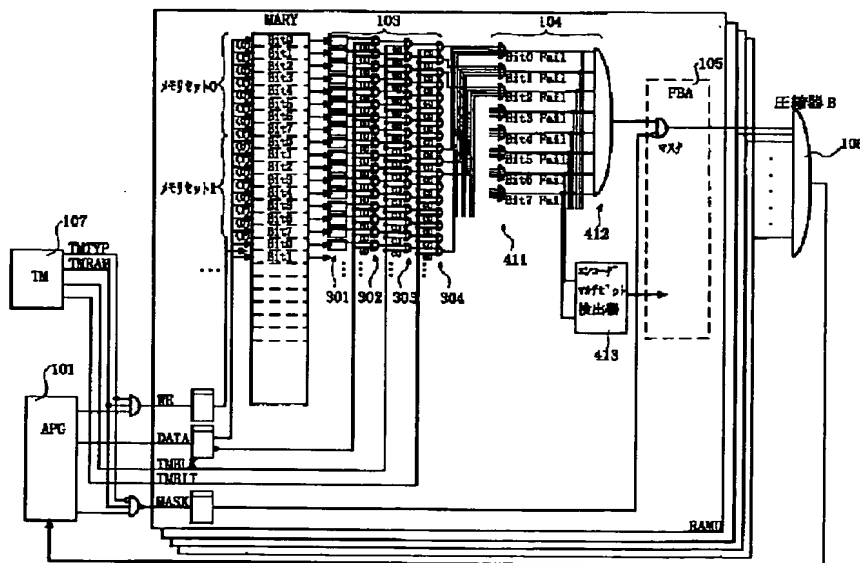
【図 17】



【図8】



【図9】



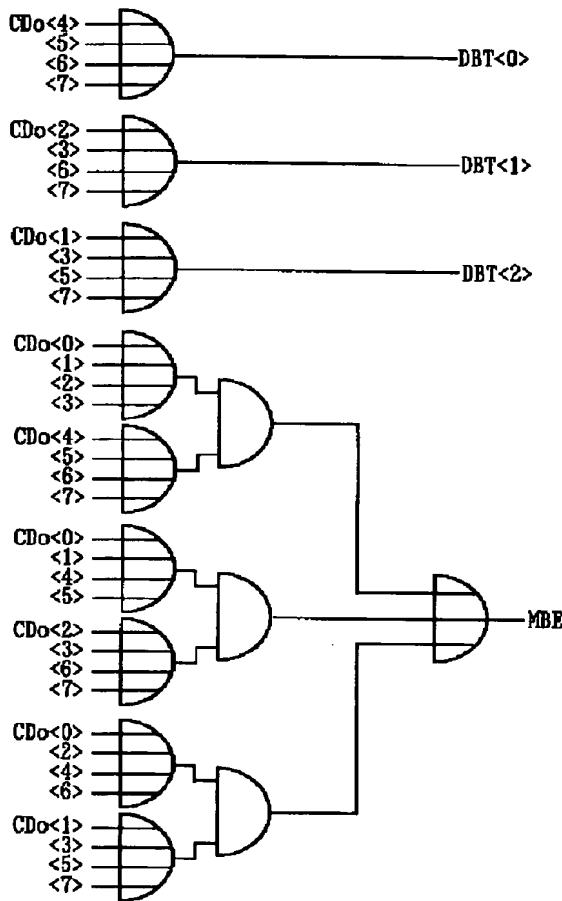
【図18】

0	2	3	4	5	6	7	
TRB	PF1	PF2	FX1	FX2	FY1	FY2	OVER

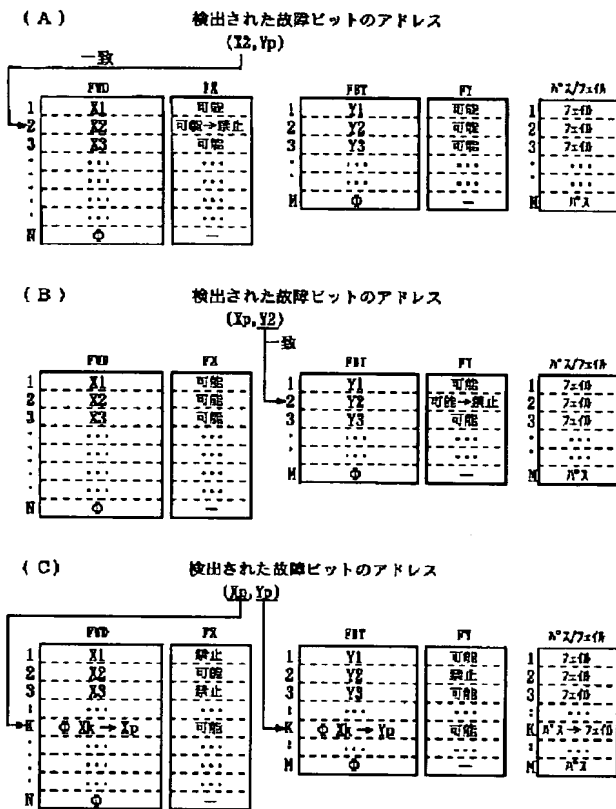
0	n
FWD1	
FWD2	

0	n
FBT1	
FBT2	

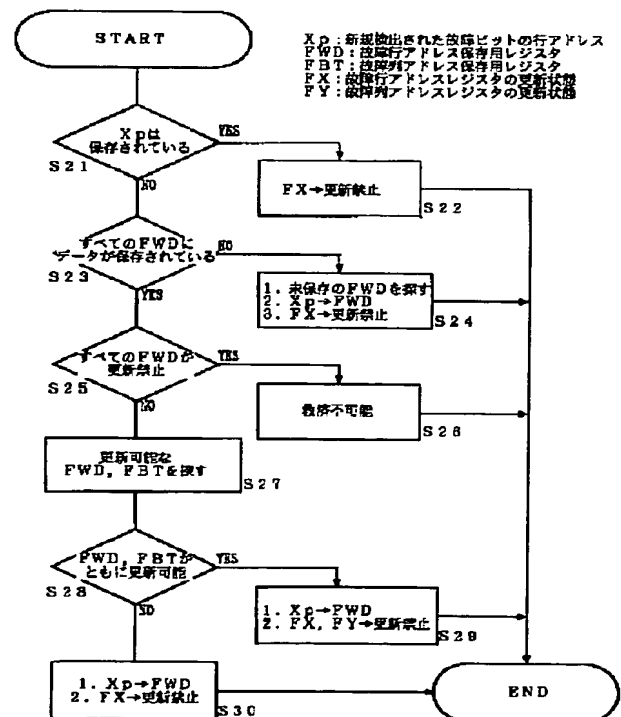
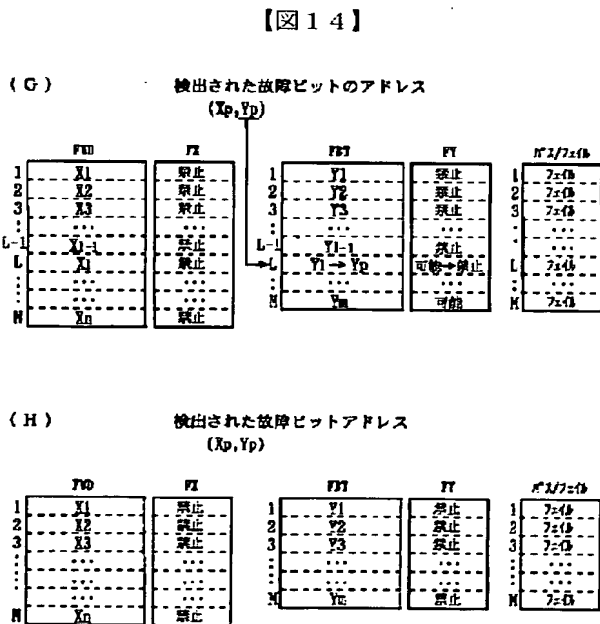
【図10】



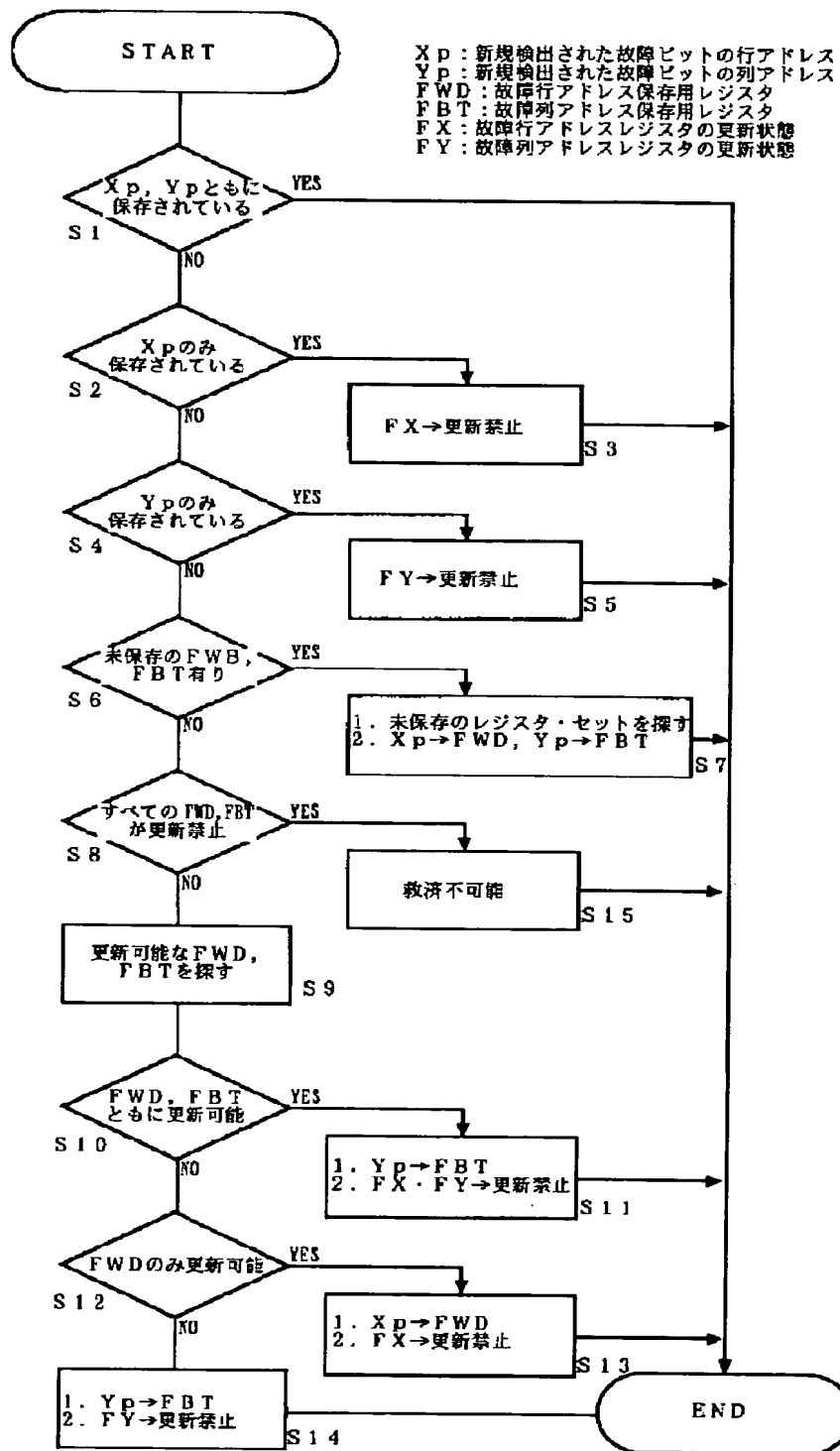
【図12】



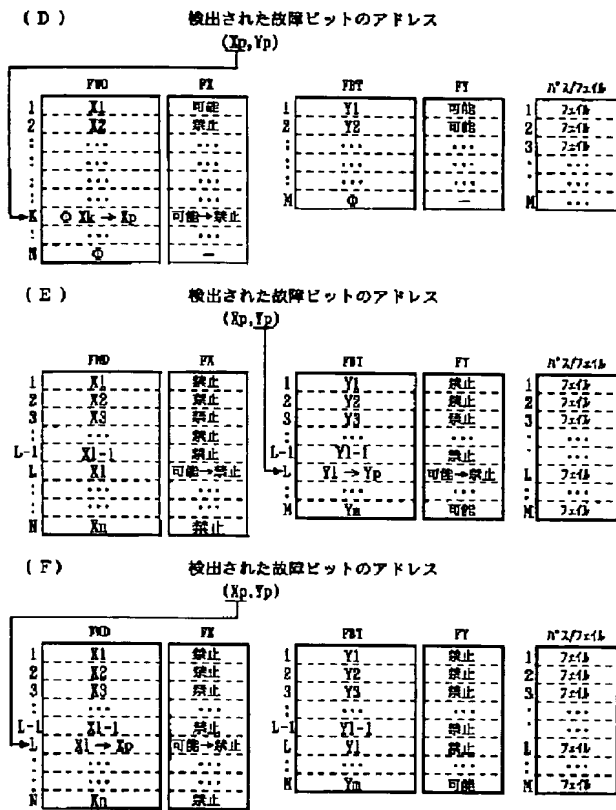
【図15】



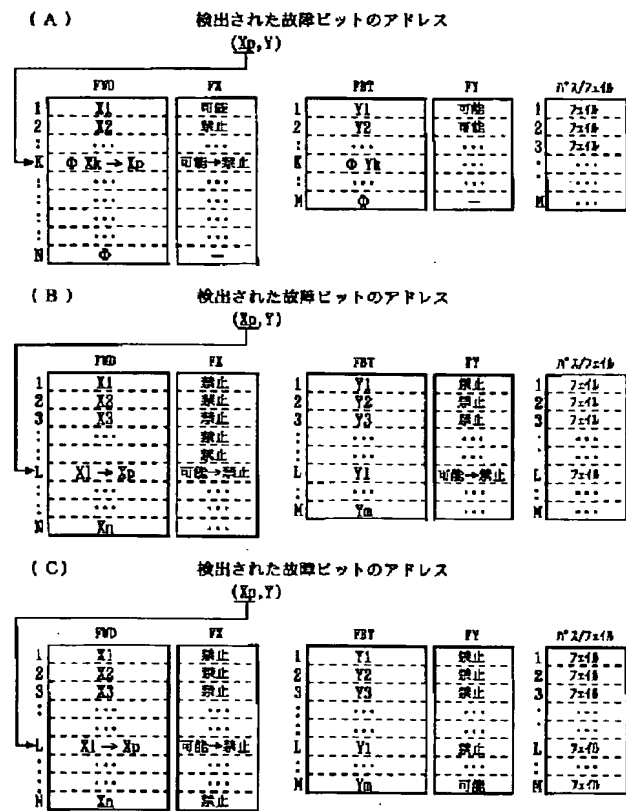
【図11】



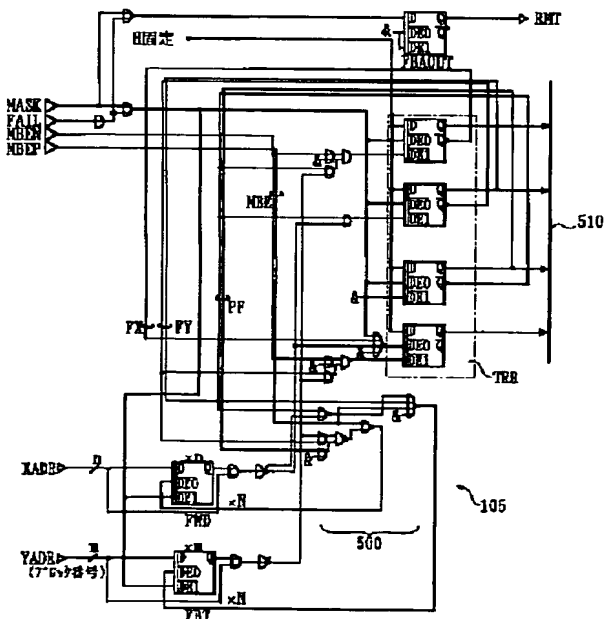
【図13】



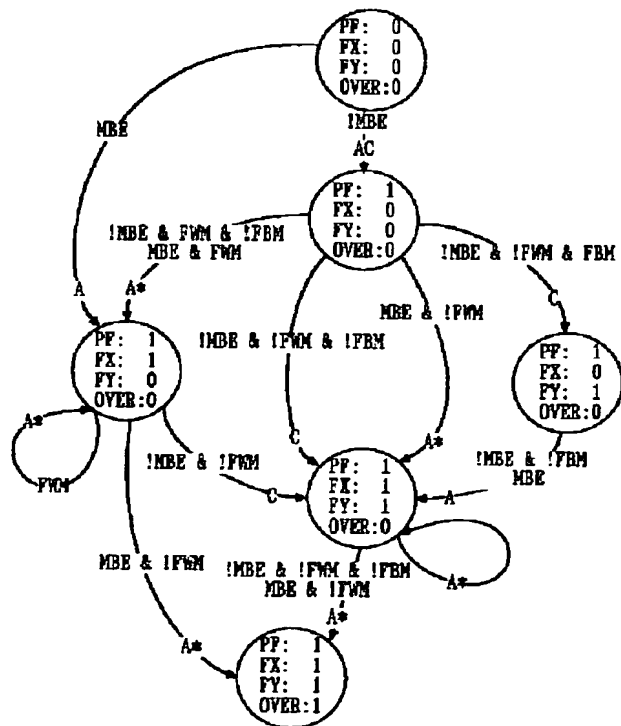
【図16】



【図19】



【図20】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	タームコード (参考)
G 0 6 F 11/22	3 6 0	G 0 6 F 12/08	J 5 L 1 0 6
12/08			E
		12/10	A
12/10		12/16	3 1 0 P
12/16	3 1 0		3 3 0 A
	3 3 0	G 0 1 R 31/28	B
H 0 1 L 27/04			V
21/822		H 0 1 L 27/04	T

(72) 発明者 河野 正樹
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(72) 発明者 日下田 恵一
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

F ターム (参考) 2G032 AA07 AB01 AC03 AE08 AE10
 AG01 AG10 AK14 AK15 AK19
 5B005 JJ01 MM02 NN31 VV22
 5B018 GA03 GA06 HA21 JA04 JA12
 JA21 JA23 KA02 KA13 KA16
 KA18 MA02 MA03 NA01 NA04
 NA06 QA13 RA01 RA02 RA11
 5B048 AA19 CC02 CC11 DD05 DD10
 FF03
 5F038 DF05 DT07 DT08 DT14 DT18
 EZ20
 5L106 CC16 CC17 DD03 DD08 DD22
 DD23 DD24 DD25 EE02